

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : NAKAJIMA et al. Art Unit : Unknown
Serial No. : Not yet assigned Examiner : Unknown
Filed : January 25, 2001
Title : SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application: Japan Application No. 2000-020913 filed January 28, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: January 25, 2001

William D. Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

Jc796 U.S. PTO
09/768618



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 1月28日

出願番号
Application Number:

特願2000-020913

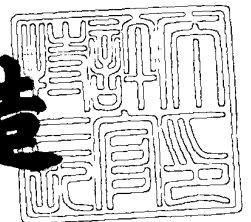
出願人
Applicant (s):

株式会社半導体エネルギー研究所

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3099537

【書類名】 特許願

【整理番号】 P004583-03

【提出日】 平成12年 1月28日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 中嶋 節男

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 河崎 律子

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項 1】

表面に複数の凸部を有する結晶質半導体薄膜を能動層として用い、前記能動層においてチャンネル長方向と平行な方向に前記凸部が配列していることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記結晶質半導体薄膜は、非単結晶半導体薄膜に強光を照射して得られていることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記非単結晶半導体薄膜は、非晶質半導体膜、微結晶半導体膜または多結晶半導体膜から選ばれたいずれか一つであることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記半導体薄膜は珪素を主成分とすることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記凸部は、前記半導体薄膜表面より 30nm 以上の高さを有することを特徴とする半導体装置。

【請求項 6】

絶縁基板上に設けられた吸熱体と、前記吸熱体と絶縁膜を介し設けられた、表面に複数の凸部を持つ結晶質半導体薄膜を備えた半導体装置であって、前記結晶質半導体薄膜は能動層を形成し、前記凸部は前記能動層のチャンネル長方向と平行な方向に配列し、前記吸熱体は、前記チャンネル方向と平行な方向にそって配置され、且つ熱伝導率が前記絶縁基板及び絶縁膜より大きいことを特徴とする半導体装置。

【請求項 7】

請求項 6 において、前記結晶質半導体薄膜は、非単結晶半導体薄膜に強光を照

射して得られていることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、前記非単結晶半導体薄膜は、非晶質半導体膜、微結晶半導体膜または多結晶半導体膜から選ばれたいずれか一つを用いたことを特徴とする半導体装置。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、半導体薄膜は珪素を主成分としていることを特徴とする半導体装置。

【請求項 1 0】

請求項 6 乃至請求項 9 のいずれか一項において、前記凸部が、前記半導体薄膜表面より 30nm 以上の高さを有することを特徴とする半導体装置。

【請求項 1 1】

請求項 6 乃至請求項 1 0 のいずれか一項において、前記吸熱層は Cr、Mo、Ti、Ta、W から 選ばれた 金属の一種または複数種であることを特徴とする半導体装置。

【請求項 1 2】

請求項 6 乃至請求項 1 0 のいずれか一項において、前記吸熱層が液晶ディスプレイ、EL ディスプレーいずれかの画素に於ける蓄積容量の一方の電極を併用することを特徴とする半導体装置。

【請求項 1 3】

基板の一主表面に島状の吸熱層を形成する第 1 の工程と、前記島状の吸熱層を含む前記基板の一主表面の全面に絶縁膜を形成する第 2 の工程と、前記絶縁膜の 1 主表面に非単結晶半導体薄膜を形成する第 3 の工程と、前記非単結晶半導体薄膜に強光を照射し溶融、固化せしめる第 4 の工程と、前記吸熱層の外周と平行な方向にチャネル方向を一致させ島状の半導体膜を形成する第 5 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 1 3 において、前記結晶質半導体薄膜は、非単結晶半導体薄膜に強光を照射して得られていることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 4 において、前記非単結晶半導体薄膜は、非晶質半導体膜、微結晶半導体膜または多結晶半導体膜から選ばれたいずれか一つを用いたことを特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 3 乃至請求項 1 5 のいずれか一項において、半導体薄膜は珪素を主成分としていることを特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 1 3 乃至請求項 1 6 のいずれか一項において、前記凸部が、前記半導体薄膜表面より 30nm 以上の高さを有することを特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 3 乃至請求項 1 7 のいずれか一項において、前記吸熱層は Cr、Mo、Ti、Ta、W から 選ばれた 金属であることを特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 3 乃至請求項 1 8 のいずれか一項において、前記吸熱層が液晶ディスプレイ、ELディスプレイいずれかの画素に於ける蓄積容量の一方の電極機能を有する半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体薄膜を利用した半導体装置及びその作製方法に関する。特に、珪素を含む結晶質半導体薄膜を利用した薄膜トランジスタ（TFT）に関する。

【0 0 0 2】

【従来の技術】

近年、ガラス基板等に TFT を形成して、半導体回路を構成する技術が急速に進んでいる。代表的な半導体装置として、ドライバー一体型アクティブマトリクス型液晶ディスプレイ（AMLCD）が存在する。

【0 0 0 3】

ドライバー一体型AMLCDは、同一基板上に画素部と、ドライバー回路をもうけたモノリシック型表示装置である。また、さらに、メモリ回路やクロック発生回路等を内蔵した、システムオンパネルの開発も進められている。

【0004】

従来のAMLCDでは、画素のスイッチング素子として、非晶質珪素（a-Si）を活性層に用いたTFTが用いられてきたが、ドライバー一体型AMLCDの周辺回路では、回路を高速動作させる必要から、a-Siでは不適當で、より高い電界効果移動度を持つ多結晶珪素（poly-Si）を活性層としたTFTが主に用いられている。

【0005】

従来のpoly-SiTFTは、a-SiTFTと比べ高い電界効果移動度をもつが、システムオンパネル等で多様な回路を搭載する場合、より高速動作が要求されるため、そのTFTには、ドライバー一体型AMLCDで要求される以上の電界効果移動度が必要となる。

【0006】

また、ドライバー一体型AMLCDにおいても、画素数の増加による高速動作への要求や、ドライバー回路の面積縮小の要求から、より高い電界効果移動度のTFTが必要とされている。

【0007】

TFTの電界効果移動度を決める要素のひとつとして、表面散乱効果があげられる。TFTの活性層とゲート絶縁膜界面の平坦性が電界効果移動度に大きな影響を与え、界面が平坦であるほど散乱の影響を受けず高い電界効果移動度が得られる。

【0008】

現在結晶質珪素膜を得る方法としてレーザー結晶化法があり、非晶質珪素膜にエキシマレーザーを照射し結晶化する方法が知られている。絶縁性基板の上に、厚さ10～150nm（代表的には30～60nm）の非晶質珪素膜をスパッタやCVD等で形成し、引き続き、エキシマレーザー光を照射し、非晶質珪素膜を熔融・固化せしめ、結晶化を行う。非晶質珪素膜に水素が5%程度以上含まれている場合は、レーザーアニール時に水素の爆発的な脱離が発生するため、前もって400～5

0 0℃程度の熱処理を数時間行うことで脱水素を行う。

【0 0 0 9】

レーザー結晶化の条件は実施者が適宜選択するものであるが、例えば、エキシマレーザーを用いた場合、レーザーパルス発振周波数3 0 H zとし、レーザーエネルギー密度を1 0 0～5 0 0 mJ/cm²(代表的には3 0 0～4 0 0 mJ/cm²)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を8 0～9 8 %として行う。

【0 0 1 0】

このようにして、レーザー結晶化した膜では、その表面にリッジとよばれる凸部がランダムに形成される。凸部の発生は、レーザーアニールされ溶融したS iの表面に誘起される表面張力波に起因すると考えられる。代表的には、凸部は、薄膜の膜厚に対しほぼ2 倍の厚みを持つ。薄膜の膜厚は通常3 0～6 0 n mであるので、凸部の高さは、膜表面から3 0～6 0 n m程度の高さを有する。ここで形成された凸部が、前述の表面散乱効果の為、電子及び正孔の移動に散乱を与え、TFTの電界効果移動度を低下させる。凸部が大きいほど、その影響は大きい。

【0 0 1 1】

【発明が解決しようとする課題】

本発明は、前記凸部の配置を制御し、電流に対する表面散乱の影響を低減する技術を提供することを課題とする。

【0 0 1 2】

【課題を解決するための手段】

本発明において、結晶質半導体薄膜は非単結晶半導体薄膜をレーザー等の強光を用い溶融固化する事により得られており、前記結晶質半導体薄膜表面に存在する凸部が、チャネル長方向、すなわち電流の流れる方向と平行に整列し、凸部による表面散乱を受けることの無い電流経路が得られる事を特徴とする。

【0 0 1 3】

図1 及び2 にその概念図を示す。図1 が、従来技術である通常のレーザー結晶化で非晶質珪素膜を結晶化して得られた半導体薄膜表面の模式図で、図2 が本発明を用いて作成した場合の模式図である。それぞれがT F Tのチャネル部の模式

図を示す。従来技術で作成した場合、基板 1 0 0 4 上の半導体薄膜 1 0 0 3 表面の凸部 1 0 0 1 がランダムに存在するため、電流経路 1 0 0 2 に対し複数の多数の凸部がかかり、表面散乱効果の影響で移動度を低下させる原因となる。本発明の場合、電流経路 1 0 0 6 と平行に凸部 1 0 0 5 が整列しているため、凸部を横切らない電流経路が支配的となり、そのような経路では、表面散乱効果の影響を受けないため、高い電解効果移動度が得られる。

【 0 0 1 4 】

また、熱結晶化等の手段で得られた結晶質薄膜を、特性を改善する目的でレーザー等の強光をもって、溶融固化した場合においても、非晶質膜をレーザー等の強光をもって溶融固化し結晶化した場合と同様に凸部の発生がみられる。この場合において、溶融固化し再結晶化した結晶質薄膜に存在する凸部が、電流の流れる方向と平行に整列し、凸部による表面散乱効果を受けることの無い電流経路が得られる場合も本発明に含まれる。本発明の基本的な目的は、珪素を含む薄膜が溶融固化した際に発生する凸部の配置を意図的に目的の方向に整列させることにあり。出発膜の性質や種類によって、限定されることはない。

【 0 0 1 5 】

珪素を含む薄膜をレーザー等の強光により溶融固化した際の凸部発生のメカニズムは、現状では、完全には解明されていない。ただし、溶融した際の表面波に起因することは、前述した通り確かと考えられる。本発明者は、溶融固化時の、表面波の積極的な制御による、凸部の発生箇所の制御を試み、本発明を成すに至った。これまで溶融時の表面波を積極的に制御しようとする発想は、無かったものであり、本発明の特徴の一つといえる。

【 0 0 1 6 】

一様な、珪素薄膜を溶融した際には、表面波の形状を制限する要素は無く、表面には、ランダムな表面波が立つことになる。結果として、固化した際にランダムに凸部が形成されることとなる。ところが、表面波が特定の方向にそろうように溶融させた場合、凸部の形成も表面波の形成方向に沿った配置で形成されることとなる。本発明者は、レーザーアニールした際に、表面波の発生を制御する構造をもうけることで、表面波の波面を特定の方向に揃えることが可能なことを見

いだした。

【0017】

具体的には、半導体薄膜の形成に先立って、熱伝導率が、結晶質薄膜の下地膜を含む基板より大きな材料を、吸熱層として、任意の形状で形成しておくことで実現化した。図3が、その断面模式図である。基板1014上に形成された吸熱層1011から下地膜1012を介して上部に位置する半導体薄膜1010と、それ以外の領域の半導体薄膜1013では、レーザーアニールした際に温度差が生じ、吸熱層の外端1015を境に、熱膨張の違いが生じる。熱による体積膨張が異なることで、その境界を始点にひずみが生じる。このひずみが、表面波となって伝播し、前記吸熱層の近傍に、その外周を起点とした、表面波が形成される。溶融に引き続いて固化が起きるが、その際に、表面波の履歴を引き継ぎ、表面波の凸部が固化後に凸部として形成される。

【0018】

図4が、本発明を用いて形成した、薄膜poly-Siの表面SEM写真である。また、図5がその模式図である。中央の吸熱層上の半導体膜1020の周辺の半導体膜1021に、波紋状に凸部1022が整列されている様子が観察できる。図6に凸部が整列している様子のAFM観察像を示す。図7がその模式図である。2.5×2.5μm角の領域の表面状態1051を示している。凸部1054が整列しており、凸部の列と直行方向1055の断面形状1057と平行方向1056の断面形状1058では、明らかに平行方向が凹凸の少ない表面を示している。尚、断面形状の高さのスケールは、フルレンジで約90nmである。このような表面状態において、凸部の列と平行方向に電流を流すことにより、表面散乱を受けない電流経路を得ることができ、高移動度のTFETを実現できる。

【0019】

本サンプルは、基板として、0.7mmガラス板（コーニング社製#1737）を用い、吸熱層として、Ta（300nm）を用いた。下地膜として、酸化珪素を125nm PCVDで成膜後、a-SiをPCVDで30nm形成し、脱水素を500℃で1hr行った。レーザーアニールは、XeClエキシマレーザーを用い室温で、308mJ/cm²のパワーで10ショットの照射を行った。

【 0 0 2 0 】

【発明の実施形態】

以下、本発明についての実施形態について述べる。本明細書で開示する発明の構成は、絶縁表面を有する基板上の結晶質半導体薄膜を活性層として使用した半導体装置である。ここで言う、半導体装置は、T F T等の素子はもとより、それらを使用した機器、例えば、AMLCDやE Lディスプレイ、またそれらを使った電子機器を含む。

【 0 0 2 1 】

本発明は、高移動度のT F Tを得ることに利用でき、AMLCDにおいては、画素のスイッチング用T F Tとして適用することで、T F Tを小型化でき、高開口率のパネルを得ることができる。また、周辺回路への適用により、高速動作の回路が実現でき、大型高精細のAMLCDの作成が可能となる。

【 0 0 2 2 】

本実施形態では、AMLCD用アクティブマトリックス基板の構成要素の基本となる、Pch及びNchのT F Tの作成法について述べる。

【 0 0 2 3 】

図8は本発明の構造の概略図である。(A)が平面図、(B)がY1-Y2間の断面図、(C)がX1-X2間の断面であり、基板1100上に形成された、吸熱層1101、それと下地膜を介して形成された能動層1103、ゲート絶縁膜1104、ゲート電極1105を示す。この場合の電流経路は、X1-X2に平行方向であり、吸熱層1101の一辺は、その方向と平行に配置されている。これにより、凸部1111は、電流経路と平行方向に整列する。

【 0 0 2 4 】

図9～11はプロセスフローの概略図である。図9は図8-Cの断面に相当し、吸熱層を含む断面構造である。図10・11は、図8-Bに相当し、吸熱層を含まない断面を示す。

【 0 0 2 5 】

まず、ガラス基板101上に吸熱体として、Ta100を200nmの厚さにDCスパッタで形成し所定のパターンでパターニングする。ここでは、Taを用いたが、

Taに限定されるものではなく、ガラス基板及び、この後に続く下地膜と熱導電率が大きく異なる材料ならばよい。例えば、タングステン等の金属材料や珪素等の半導体材料、もしくはそれらの混合物でもよい。

【0026】

吸熱体の形成に続き、下地膜として、酸化窒化シリコン膜（A）102aを50nmの厚さに形成し、さらにその上に酸化窒化シリコン膜（B）102bを100nm積層させてブロッキング層102とする。続いて、非晶質珪素103aを30nm形成する。次に、非晶質珪素膜中の水素を放出させる目的で500℃の熱処理を一時間行う。

【0027】

続いて、エキシマレーザーを照射し、非晶質膜を熔融固化させ、結晶質半導体層103bを得る。照射エネルギーは、熔融固化がみられる条件ならばよく、非晶質膜の膜厚によって異なる。30nmのa-Siに対しては、100～500mJ/cm²が適正エネルギーで、望ましくは300mJ/cm²程度がよい。またショット数は1～100ショット、望ましくは、5～50ショットがよい。ただし、レーザーのエネルギー密度はレーザー光のプロファイル等の変化により大きく変化するので、一義に定義できず、実際に加工し、非晶質膜の熔融固化がおきている、すなわち表面に凸部の形成がなされている条件であれば、本発明の構成を満足する。レーザー照射した段階で、吸熱層として形成したTaのパターンの周囲に、凸部が波紋状に整列する。図4が、その段階の表面観察像に相当する。本、実施例では、エキシマレーザーを用いたが、他のレーザー、例えばYAG、YVO₄レーザー等でも同様の効果が得られる。

【0028】

引き続き、半導体層を所定のパターニングを行い、半導体島104を得る。さらに引き続き、標準的なトップゲートのプロセスでTFTを形成する。その際ゲート電極は、整列した凸部の列と垂直方向に形成する。それにより、キャリアの流れは凸部列と並行方向となり、凸部による表面散乱の影響を受けない電流経路を得ることができる。以下に、その手順を説明する。簡単の為、吸熱層を含まない断面（図10・11）を用いて、説明を行う。結晶化以降の工程について詳細

に述べる。

【0029】

結晶質半導体層103b上にフォトレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割して島状半導体層104、105aを形成し活性層とする。ドライエッチングには CF_4 と O_2 の混合ガスを用いた。その後、プラズマCVD法や減圧CVD法、またはスパッタ法により50～100nmの厚さの酸化シリコン膜によるマスク層106を形成する。例えば、プラズマCVD法による場合、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させ、100～150nm代表的には130nmの厚さに形成する。

【0030】

そしてフォトレジストマスク107を設け、nチャネル型TFETを形成する島状半導体層105aにしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³程度の濃度でp型を付与する不純物元素を添加する。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。ここではイオンドープ法でジボラン(B_2H_6)を用いホウ素(B)を添加した。ホウ素(B)添加は必ずしも必要でなく省略しても差し支えないが、ホウ素(B)を添加した半導体層105bはnチャネル型TFETのしきい値電圧を所定の範囲内に収めるために形成することができた。

【0031】

nチャネル型TFETのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105bに選択的に添加する。半導体に対してn型を付与する不純物元素には、リン(P)、砒素(As)、アンチモン(Sb)など周期律表第15族の元素が知られている。フォトレジストマスク108を形成し、ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成される不純物領域109におけるリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とする。本明細書中では、不純物領域109に含ま

れる n 型を付与する不純物元素の濃度を (n^-) と表す。

【 0 0 3 2 】

次に、マスク層 1 0 6 を純水で希釈したフッ酸などのエッチング液により除去した。そして、図 1 0 (D) と図 1 0 (E) で島状半導体層 1 0 5 b に添加した不純物元素を活性化させる工程を行う。活性化は窒素雰囲気中で 5 0 0 ~ 6 0 0 °C で 1 ~ 4 時間の熱アニールや、レーザーアニールなどの方法により行うことができる。また、両方の方法を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、K r F エキシマレーザー光 (波長 2 4 8 n m) を用い、線状ビームを形成して、発振周波数 5 ~ 5 0 H z、エネルギー密度 1 0 0 ~ 5 0 0 m J / c m² として線状ビームのオーバーラップ割合を 8 0 ~ 9 8 % として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【 0 0 3 3 】

次に、ゲート絶縁膜 1 1 0 をプラズマ C V D 法またはスパッタ法を用いて 4 0 ~ 1 5 0 n m の厚さでシリコンを含む絶縁膜で形成する。例えば、1 2 0 n m の厚さで酸化窒化シリコン膜 (B) で形成すると良い。その他に、ゲート絶縁膜を他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【 0 0 3 4 】

ゲート絶縁膜上には、ゲート電極を形成するために導電層を成膜する。この導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造とすることもできる。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 1 1 1 と金属膜から成る導電層 (B) 1 1 2 とを積層させた。導電層 (B) 1 1 2 はタンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には M o - W 合金膜、M o - T a 合金膜) で形成すれば良く、導電層 (A) 1 1 1 は窒化タンタル (T a N)、窒化タングステン (W N)、窒化チタン (T i N) 膜、窒化モリブデン (M o N) などで形成する。また、導電層 (A) 1 1 1 はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) 1 1 2 は低抵抗化を図るため

に含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0035】

導電層(A)111は10~50nm(好ましくは20~30nm)とし、導電層(B)112は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)111に30nmの厚さのTa₂N₅膜を、導電層(B)112には350nmのTa膜を用い、いずれもスパッタ法で形成した。Ta₂N₅膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて成膜した。TaはスパッタガスにArを用いた。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とすすには不向きであった。Ta₂N₅膜は α 相に近い結晶構造を持つので、この上にTa膜を形成すれば α 相のTa膜が容易に得られた。尚、図示しないが、導電層(A)111の下に2~20nm程度の厚さでリン(P)をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜110に拡散するのを防ぐことができる。いずれにしても、導電層(B)は抵抗率を10~500 $\mu\Omega\text{cm}$ の範囲ですることが好ましい。

【0036】

次に、フォトリソマスク113を形成し、導電層(A)111と導電層(B)112とを一括でエッチングしてゲート電極114、115を形成する。例えば、ドライエッチング法によりCF₄とO₂の混合ガス、またはCl₂を用いて1~20Paの反応圧力で行うことができる。ゲート電極114、115は、導電層(A)から成る114a、115aと、導電層(B)から成る114b、115bとが一体として形成されている。この時、nチャネル型TFTのゲート電極115は不純物領域109の一部と、ゲート絶縁膜110を介して重なるように

形成する。また、ゲート電極は導電層（B）のみで形成することも可能である。

【 0 0 3 7 】

次いで、pチャネル型TFTのソース領域およびドレイン領域とする不純物領域117を形成する。ここでは、ゲート電極114をマスクとしてp型を付与する不純物元素を添加し、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層はフォトリソマスク116で被覆しておく。そして、不純物領域117はジボラン（ B_2H_6 ）を用いたイオンドーピング法で形成する。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域134に含まれるp型を付与する不純物元素の濃度を（ p^+ ）と表す。

【 0 0 3 8 】

次に、nチャネル型TFTのソース領域またはドレイン領域を形成する不純物領域118の形成を行った。ここでは、フォスフィン（ PH_3 ）を用いたイオンドーピング法で行い、この領域のリン（P）濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域138～142に含まれるn型を付与する不純物元素の濃度を（ n^+ ）と表す。不純物領域117にも同時にリン（P）が添加されるが、既に前の工程で添加されたボロン（B）濃度と比較して不純物領域117に添加されたリン（P）濃度はその $1/2 \sim 1/3$ 程度なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【 0 0 3 9 】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を熱アニール法で行う。この工程はファーネスアニール炉を用いれば良い。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。アニール処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で $400 \sim 700^\circ\text{C}$ 、代表的には $500 \sim 600^\circ\text{C}$ で行うものであり、本実施例では 550°C で4時間の熱処理を行った。また、アニール処理の前に、 $50 \sim 200 \text{ nm}$ の厚さの保護絶縁層119を酸化窒化シリコン膜や酸化シリコン膜などで形成すると良い。酸化窒化シリコン膜

は表 1 のいずれの条件でも形成できるが、その他にも、 SiH_4 を 27 SCCM、 N_2O を 900 SCCMとして反応圧力 160 Pa、基板温度 325℃、放電電力密度 0.1 W/cm²で形成すると良い。

【 0 0 4 0 】

活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 4 1 】

活性化および水素化の工程が終了したら、保護絶縁層上にさらに酸化窒化シリコン膜または酸化シリコン膜を積層させ、層間絶縁層 120 を形成する。酸化窒化シリコン膜は保護絶縁層 119 と同様にして SiH_4 を 27 SCCM、 N_2O を 900 SCCMとして反応圧力 160 Pa、基板温度 325℃とし、放電電力密度を 0.15 W/cm²として、500～1500 nm（好ましくは 600～800 nm）の厚さで形成する。

【 0 0 4 2 】

そして、層間絶縁層 120 および保護絶縁層 119 TFTのソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 121、124 と、ドレイン配線 122、123 を形成する。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【 0 0 4 3 】

次に、パッシベーション膜 125 として、窒化シリコン膜または酸化窒化シリコン膜を 50～500 nm（代表的には 100～300 nm）の厚さで形成する。さらに、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。こうして基板 101 上に、nチャネル型 TFT 134

と p チャンネル型 T F T 1 3 3 とを完成させることができた。

【 0 0 4 4 】

p チャンネル型 T F T 1 3 3 には、島状半導体層 1 0 4 にチャンネル形成領域 1 2 6、ソース領域 1 2 7、ドレイン領域 1 2 8 を有している。n チャンネル型 T F T 1 3 4 には、島状半導体層 1 0 5 にチャンネル形成領域 1 2 9、ゲート電極 1 1 5 と重なる L D D 領域 1 3 0（以降、このような L D D 領域を L_{ov} と記す）、ソース領域 1 3 2、ドレイン領域 1 3 1 を有している。この L_{ov} 領域のチャンネル長方向の長さは、チャンネル長 $3 \sim 8 \mu m$ に対して、 $0.5 \sim 3.0 \mu m$ （好ましくは $1.0 \sim 1.5 \mu m$ ）とした。図 9 ではそれぞれの T F T をシングルゲート構造としたが、ダブルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【 0 0 4 5 】

また、能動層において凸部を横切らない電流経路は、直線に限定されるものではなく、曲線の場合、および、折れ線状の場合も本発明に含まれる。

【 0 0 4 6 】

図 1 2 及び 1 3 にその実施形態を示す。図 1 2 が、島状半導体 2 0 0 3 が、コの字状に折れ曲がっている例を示す。3 個のゲート電極 2 0 0 2 を持つマルチゲート構造であるが、ドレイン領域から、ソース領域への電流経路がそれぞれのゲートで異なる方向になっている。このような場合に置いても、個々のゲートにおいて、凸部は、それぞれのチャンネル部 2 0 0 4 での電流経路と平行に整列し、本発明の効果を有する。

【 0 0 4 7 】

また、図 1 3 は、能動層 2 0 0 7 が半円型の実施例を示している。この場合においても、吸熱層が同心の半円形状で配置されており、凸部も、同心半円状に分布する事となる。電流経路もほぼ同心半円上を通るため、電流経路と平行に凸部が分布する事となる。

【 0 0 4 8 】

（実施例 1）

本発明の実施例を図 1 4 ～ 図 1 9 を用いて説明する。ここでは画素部の画素 T

F T と、画素部の周辺に設けられる駆動回路の T F T を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路である C M O S 回路と、サンプリング回路を形成する n チャネル型 T F T とを図示することにする。図 1 4 ～ 1 8 が吸熱層を含まない断面構造、図 1 9 が吸熱層を含む断面構造を示す。

【 0 0 4 9 】

基板 2 0 1 にはバリウムホウケイ酸ガラス基板やアルミノホウケイ酸ガラス基板を用いる。本実施例ではアルミノホウケイ酸ガラス基板を用いた。この時ガラス歪み点よりも 1 0 ～ 2 0 ℃ 程度低い温度であらかじめ熱処理しておいても良い。

【 0 0 5 0 】

まず、この基板 2 0 1 の T F T を形成する表面に、所定の吸熱層を形成する。この工程は、実施形態に示した通りである。吸熱層は、画素部の T F T と周辺回路の T F T の両者、又は、その一方どちらかに配置しても良い。高移動度の特性を要求する箇所に適時配置すればよい。本実施例では、両者に吸熱層を配置した。(図 1 9 (A))

【 0 0 5 1 】

引き続き、基板 2 0 1 からのアルカリ金属元素をはじめとする不純物拡散を防ぐために、酸化窒化シリコン膜 (A) 2 0 2 a を 5 0 n m の厚さに形成し、さらにその上に酸化窒化シリコン膜 (B) 2 0 2 b を 1 0 0 n m を積層させてブロッキング層 2 0 2 とする。

【 0 0 5 2 】

次に、2 5 ～ 8 0 n m (好ましくは 3 0 ～ 6 0 n m) の厚さで非晶質構造を有する半導体層 2 0 3 a を、プラズマ C V D 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ C V D 法で非晶質シリコン膜を 5 5 n m の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、ブロッキング層 2 0 2 と非晶質シリコン層 2

0 3 a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる。(図 1 4 (A)、図 1 9 (B))

【 0 0 5 3 】

そして、非晶質シリコン層 2 0 3 a から結晶質シリコン層 2 0 3 b を形成する。ここでは特開平 7 - 1 3 0 6 5 2 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン層 2 0 3 b を形成した。まず、重量換算で 1 0 p p m の触媒元素を含む水溶液をスピンコート法で塗布して触媒元素を含有する層を形成した(図示せず)。触媒元素にはニッケル (N i)、ゲルマニウム (G e)、鉄 (F e)、パラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u) などである。結晶化の工程では、まず 4 0 0 ~ 5 0 0 °C で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 a t o m % 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で 5 5 0 ~ 6 0 0 °C で 1 ~ 8 時間の熱アニールを行う。以上の工程までで結晶質シリコン膜を得ることができる。この状態で表面に残存する触媒元素の濃度は $3 \times 10^{10} \sim 2 \times 10^{11} \text{ atoms/cm}^2$ であった。その後、結晶化率を高めるためにレーザーアニールを行う。X C 1 エキシマレーザー(波長 3 0 8 n m)を用い、光学系で線状ビームを形成して、発振周波数 5 ~ 5 0 H z、エネルギー密度 1 0 0 ~ 5 0 0 m J / c m ² として線状ビームのオーバーラップ割合を 8 0 ~ 9 8 % として照射する。このようにして、結晶質シリコン膜 2 0 3 b を得る。レーザー照射により、半導体層は熔融固化し表面に凸部が形成される。その際、凸部は、前もって形成された、吸熱体の周囲に沿った形で整列する。(図 1 9 (C))

【 0 0 5 4 】

そして、結晶質シリコン膜 2 0 3 b をエッチング処理して島状に分割し、島状半導体層 2 0 4 ~ 2 0 7 を形成し活性層とする。その際、表面の凸部がチャネル部において、動作時の電流経路と平行に整列する方向に島状半導体層を形成する(図 1 9 (D))。その後、プラズマ C V D 法や減圧 C V D 法、またはスパッタ法により 5 0 ~ 1 0 0 n m の厚さの酸化シリコン膜によるマスク層 2 0 8 を形成

する。例えば、減圧CVD法で SiH_4 と O_2 との混合ガスを用い、266Paにおいて400℃に加熱して酸化シリコン膜を形成する。(図14(C))

【0055】

続いて、チャネルドープ工程を行う。まず、フォトレジストマスク209を設け、nチャネル型TFTを形成する島状半導体層205～207の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層210～212はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。このチャネルドープ工程は、実施形態2または実施形態3で示した方法で行っても良い。(図14(D))

【0056】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層210、211に選択的に添加する。そのため、あらかじめフォトレジストマスク213～216を形成した。ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成された不純物領域(n^-)217、218のリン(P)濃度は $1 \times 10^{17} \sim 5 \text{ atoms/cm}^3$ とする。また、不純物領域219は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図15(A))

【0057】

次に、マスク層208をフッ酸などにより除去して、図14(D)と図15(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱アニールや、レーザーアニールの方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5～50Hz、エネルギー密度100～5

0.0 mJ/cm^2 として線状ビームのオーバーラップ割合を80～98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良いが、半導体が溶融しない条件であることが必須である。なぜなら、すでに整列して形成されている凸部の配列をみだすことになるからである。

【0058】

続いて、ゲート絶縁膜220をプラズマCVD法またはスパッタ法を用いて40～150nmの厚さでシリコンを含む絶縁膜で形成する。例えば酸化窒化シリコン膜(B)で形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図15(B))

【0059】

次に、ゲート電極を形成するために第1の導電層を成膜する。本実施例では導電性の窒化物金属膜から成る導電層(A)221と金属膜から成る導電層(B)222とを積層させた。ここでは、Taをターゲットとしたスパッタ法で導電層(B)222をタンタル(Ta)で250nmの厚さに形成し、導電層(A)221は窒化タンタル(TaN)で50nmの厚さに形成した。(図15(C))

【0060】

次に、フォトリジストマスク223～227を形成し、導電層(A)221と導電層(B)222とを一括でエッチングしてゲート電極228～231と容量配線232を形成する。ゲート電極228～231と容量配線232は、導電層(A)から成る228a～232aと、導電層(B)から成る228b～232bとが一体として形成されている。この時、駆動回路に形成するゲート電極229、230は不純物領域217、218の一部と、ゲート絶縁膜220を介して重なるように形成する。(図15(D))

【0061】

次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極228をマスクとして、自己整合的に不純物領域を形成する。nチャネル型TFTが形成される領域はフォトリジストマスク233で被覆しておく。そ

して、ジボラン (B_2H_6) を用いたイオンドープ法で不純物領域 (p^+) 234 を $1 \times 10^{21} \text{atoms/cm}^3$ の濃度で形成した。(図16(A))

【0062】

次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク235～237を形成し、n型を付与する不純物元素が添加して不純物領域238～242を形成した。これは、フォスフィン (PH_3) を用いたイオンドープ法で行い、不純物領域 (n^+) 238～242の(P)濃度を $5 \times 10^{20} \text{atoms/cm}^3$ とした。不純物領域238には、既に前工程で添加されたボロン(B)が含まれているが、それに比して $1/2 \sim 1/3$ の濃度でリン(P)が添加されるので、添加されたリン(P)の影響は考えなくても良く、TFTの特性に何ら影響を与えることはなかった。(図16(B))

【0063】

そして、画素部のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物添加の工程を行った。ここではゲート電極231をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン(P)の濃度は $5 \times 10^{16} \text{atoms/cm}^3$ とし、図15(A)および図16(A)と図16(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 (n^-) 243、244のみが形成される。(図16(C))

【0064】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール炉を用いた熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。

【0065】

この熱アニールにおいて、ゲート電極 2 2 8 ~ 2 3 1 と容量配線 2 3 2 形成する Ta 膜 2 2 8 b ~ 2 3 2 b は、表面から 5 ~ 8 0 n m の厚さで Ta N から成る導電層 (C) 2 2 8 c ~ 2 3 2 c が形成される。その他に導電層 (B) 2 2 8 b ~ 2 3 2 b がタングステン (W) の場合には窒化タングステン (WN) が形成され、チタン (Ti) の場合には窒化チタン (TiN) を形成することができる。また、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極 2 2 8 ~ 2 3 1 を晒しても同様に形成することができる。さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 1 2 時間の熱アニールを行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 0 6 6 】

本実施例のように、島状半導体層を非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、島状半導体層中には微量 ($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ 程度) の触媒元素が残留した。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッターリング作用を利用する手段があった。ゲッターリングに必要なリン (P) の濃度は図 1 6 (B) で形成した不純物領域 (n^+) と同程度であれば良く、ここで実施される活性化工程の熱アニールにより、 n チャネル型 TFT および p チャネル型 TFT のチャネル形成領域から触媒元素を不純物領域 2 3 8 ~ 2 4 2 に偏析させゲッターリングをすることができた。その結果不純物領域 2 3 8 ~ 2 4 2 には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ 程度の触媒元素が偏析した。

【 0 0 6 7 】

活性化および水素化の工程が終了したら、ゲート配線とする第 2 の導電層を形成する。この第 2 の導電層は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) で形成する。いずれにしても、第 2 の導電層の抵抗率は $0.1 \sim 10 \mu \Omega \text{cm}$ 程度とする。さらに、チタン (Ti) やタンタル (Ta)

a)、タングステン(W)、モリブデン(Mo)から成る導電層(E)を積層形成すると良い。本実施例では、チタン(Ti)を0.1~2重量%含むアルミニウム(Al)膜を導電層(D)245とし、チタン(Ti)膜を導電層(E)246として形成した。導電層(D)245は200~400nm(好ましくは250~350nm)とすれば良く、導電層(E)246は50~200(好ましくは100~150nm)で形成すれば良い。(図17(A))

【0068】

そして、ゲート電極に接続するゲート配線を形成するために導電層(E)246と導電層(D)245とをエッチング処理して、ゲート配線247、248と容量配線249を形成した。エッチング処理は最初に SiCl_4 と Cl_2 と BCl_3 との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0069】

第1の層間絶縁膜250は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成する。本実施例では、 SiH_4 を27SCCM、 N_2O を900SCCM、として反応圧力160Pa、基板温度325℃で放電電力密度0.15W/cm²で形成した。その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線251~254と、ドレイン配線255~258を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0070】

次に、パッシベーション膜259として、窒化シリコン膜、酸化シリコン膜、または酸化窒化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法

を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 2 5 9 に開口部を形成しておいても良い。(図 1 7 (C))

【 0 0 7 1 】

その後、有機樹脂からなる第 2 の層間絶縁膜 2 6 0 を 1 . 0 ~ 1 . 5 μ m の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、3 0 0 °C で焼成して形成した。そして、第 2 の層間絶縁膜 2 6 0 にドレイン配線 2 5 8 に達するコンタクトホールを形成し、画素電極 2 6 1、2 6 2 を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 1 0 0 n m の厚さにスパッタ法で形成した。(図 1 8)

【 0 0 7 2 】

こうして同一基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができた。駆動回路には p チャネル型 TFT 3 0 1、第 1 の n チャネル型 TFT 3 0 2、第 2 の n チャネル型 TFT 3 0 3、画素部には画素 TFT 3 0 4、保持容量 3 0 5 が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 0 7 3 】

駆動回路の p チャネル型 TFT 3 0 1 には、島状半導体層 2 0 4 にチャネル形成領域 3 0 6、ソース領域 3 0 7 a、3 0 7 b、ドレイン領域 3 0 8 a、3 0 8 b を有している。第 1 の n チャネル型 TFT 3 0 2 には、島状半導体層 2 0 5 にチャネル形成領域 3 0 9、ゲート電極 2 2 9 と重なる LDD 領域 (Lov) 3 1 0、ソース領域 3 1 1、ドレイン領域 3 1 2 を有している。この Lov 領域のチャネル長方向の長さは 0 . 5 ~ 3 . 0 μ m、好ましくは 1 . 0 ~ 1 . 5 μ m とした。第 2 の n チャネル型 TFT 3 0 3 には、島状半導体層 2 0 6 にチャネル形成領域 3 1 3、Lov 領域と Loff 領域 (ゲート電極と重ならない LDD 領域であり、以

降L off領域と記す) とが形成され、このL off領域のチャンネル長方向の長さは0. 3 ~ 2. 0 μm 、好ましくは0. 5 ~ 1. 5 μm である。画素T F T 3 0 4には、島状半導体層2 0 7にチャンネル形成領域3 1 8、3 1 9、L off領域3 2 0 ~ 3 2 3、ソースまたはドレイン領域3 2 4 ~ 3 2 6を有している。L off領域のチャンネル長方向の長さは0. 5 ~ 3. 0 μm 、好ましくは1. 5 ~ 2. 5 μm である。さらに、容量配線2 3 2、2 4 9と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素T F T 3 0 4のドレイン領域3 2 6に接続し、n型を付与する不純物元素が添加された半導体層3 2 7とから保持容量3 0 5が形成されている。図1 8では画素T F T 3 0 4をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても良い。

【0 0 7 4】

また、本実施例では、吸熱層は単に、半導体膜上の凸部を整列させる目的のみに使用したが、同一層で、配線を形成し、多層配線構造としてもよく、また、画素内においては、蓄積容量を形成する電極として流用してもよい。また、周辺部のT F Tに対し、本発明の効果をあたえ、画素内に於いては、単に遮光膜として機能させてもよい。

【0 0 7 5】

(実施例2)

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図2 0に示すように、図1 8の状態のアクティブマトリクス基板に対し、配向膜6 0 1を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板6 0 2には、遮光膜6 0 3、透明導電膜6 0 4および配向膜6 0 5を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素マトリクス回路と、C M O S回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料6 0 6を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図1

9に示すアクティブマトリクス型液晶表示装置が完成した。

【0076】

次に、このアクティブマトリクス型液晶表示装置の構成を、図21の斜視図を用いて説明する。尚、図21は、図14～図20の断面構造図と対応付けるため、共通の符号を用いている。

【0077】

図21においてアクティブマトリクス基板は、ガラス基板201上に形成された、画素部406と、走査信号駆動回路404と、画像信号駆動回路405で構成される。表示領域には画素TFT304が設けられ、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路404と、画像信号駆動回路405はそれぞれゲート配線231とソース配線254で画素TFT304に接続している。また、FPC (Flexible Print Circuit) 731が外部入力端子734に接続され、入力配線402、403でそれぞれの駆動回路に接続している。

【0078】

(実施例3)

本実施例では、本願発明を用いてEL (エレクトロルミネセンス) 表示装置を作製した例について説明する。なお、図22 (A) は本願発明のEL表示装置の上面図であり、図22 (B) はその断面図である。

【0079】

図22 (A) において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC (フレキシブルプリントサーキット) 4006に至り、外部機器へと接続される。

【0080】

このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0081】

また、図 2 2 (B) は図 2 2 (A) を A - A' で切断した断面図に相当し、基板 4 0 0 1 の上にソース側駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャンネル型 T F T と p チャンネル型 T F T を図示している。) 4 2 0 1 及び画素部 4 0 0 2 に含まれる画素 T F T (但し、ここでは E L 素子への電流を制御する T F T を図示している。) 4 2 0 2 が形成されている。

【 0 0 8 2 】

本実施例では、駆動 T F T 4 2 0 1 には図 2 0 の駆動回路と同じ構造の T F T が用いられる。また、画素 T F T 4 2 0 2 には図 2 0 の画素部と同じ構造の T F T が用いられる。

【 0 0 8 3 】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 の上には樹脂材料でなる層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 3 0 2 が形成される。画素電極 4 3 0 2 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【 0 0 8 4 】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L (エレクトロルミネッセンス) 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【 0 0 8 5 】

E L 層 4 3 0 4 の形成方法は公知の技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 0 8 6 】

E L 層 4 3 0 4 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅

もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4 3 0 5 が形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0087】

そして陰極 4 3 0 5 は 4 3 0 6 で示される領域において配線 4 0 0 5 に電氣的に接続される。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、導電性材料 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【0088】

以上のようにして、画素電極(陽極) 4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

【0089】

カバー材 4 1 0 2 としては、ガラス板、金属板(代表的にはステンレス板)、セラミックス板、FRP (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0090】

但し、E L 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0091】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いること

ができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）を設けておくとEL素子の劣化を抑制できる。

【0092】

また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0093】

また、配線4005は導電性材料4307を介してFPC4006に電氣的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電氣的に接続される。

【0094】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図22（B）の断面構造を有するEL表示装置となる。

【0095】

（実施例4）

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。それらの一例を図23に示す。

【0096】

図23（A）はパーソナルコンピュータであり、マイクロプロセッサやメモリ

ーなどを備えた本体 2 0 0 1、画像入力部 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 で構成される。本発明は表示装置 2 0 0 3 やその他の信号処理回路を形成することができる。

【0 0 9 7】図 2 3 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本発明は表示装置 2 1 0 2 やその他の信号制御回路に適用することができる。

【0 0 9 8】

図 2 3 (C) は携帯情報端末であり、本体 2 2 0 1、画像入力部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 やその他の信号制御回路に適用することができる。

【0 0 9 9】

図 2 3 (D) はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU 等の電子回路 2 3 0 8、記録媒体 2 3 0 4 などが搭載された本体 2 3 0 1、コントローラ 2 3 0 5、表示装置 2 3 0 3、本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 で構成される。表示装置 2 3 0 3 と本体 2 3 0 1 に組み込まれた表示装置 2 3 0 2 とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体 2 3 0 4 の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体 2 3 0 1 とコントローラ 2 3 0 5 と表示装置 2 3 0 3 とは、相互に信号を伝達するために有線通信としても良いし、センサ部 2 3 0 6、2 3 0 7 を設けて無線通信または光通信としても良い。本発明は、表示装置 2 3 0 2、2 3 0 3 に適用することができる。表示装置 2 3 0 3 は従来の CRT を用いることもできる。

【0 1 0 0】

図 2 3 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカー部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。尚、記録媒体には DVD (Digital Versatile Disc) やコンパクトディスク (CD) などを用い

、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

【0101】

図 2 3 (E) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【0102】図 2 4 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2 6 0 1、スクリーン 2 6 0 2 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 2 4 (B) はリア型プロジェクターであり、本体 2 7 0 1、光源光学系および表示装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0103】

なお、図 2 4 (C) に、図 2 4 (A) および図 2 4 (B) における光源光学系および表示装置 2 6 0 1、2 7 0 2 の構造の一例を示す。光源光学系および表示装置 2 6 0 1、2 7 0 2 は光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、ビームスプリッター 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は複数の光学レンズで構成される。図 2 4 (C) では液晶表示装置 2 8 0 8 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 2 4 (C) 中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IR フィルムなどを設けても良い。また、図 2 4 (D) は図 2 4 (C) における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 はリフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。尚、図 2 4 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

【 0 1 0 4 】

また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などにも適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は、実施例 1 ～ 4 のどのような組み合わせから成る構成を用いても実現することができる。

【 0 1 0 5 】

【発明の効果】

高移動度を持つ T F T の形成が可能となる。また、高精細のアクティブマトリクス型の液晶表示装置や E L ディスプレーに代表される電気光学装置を作製することができる。

【図面の簡単な説明】

【図 1】従来例の概念図。

【図 2】本発明の概念図。

【図 3】レーザーアニール時の半導体薄膜状態を説明する断面模式図。

【図 4】レーザーアニール後の半導体薄膜表面写真（S E M 写真）。

【図 5】レーザーアニール後半導体薄膜表面の模式図。

【図 6】レーザーアニール後の半導体薄膜表面の A F M 観察結果。

【図 7】レーザーアニール後の半導体薄膜表面の A F M 観察結果の模式図。

【図 8】本発明を利用した T F T の構造図。

【図 9】本発明を利用した T F T のプロセスフロー。

【図 1 0】本発明を利用した T F T のプロセスフロー。

【図 1 1】本発明を利用した T F T のプロセスフロー。

【図 1 2】本発明を利用したコの字状の能動層を有する T F T。

【図 1 3】本発明を利用した半円状の能動層を有する T F T。

【図 1 4】本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 1 5】本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 1 6】本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 1 7】本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 1 8】 本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 1 9】 本発明を利用したアクティブマトリックス基板のプロセスフロー。

【図 2 0】 本発明を利用したAMLCDパネルの断面構造。

【図 2 1】 本発明を利用したAMLCDパネルの上面図。

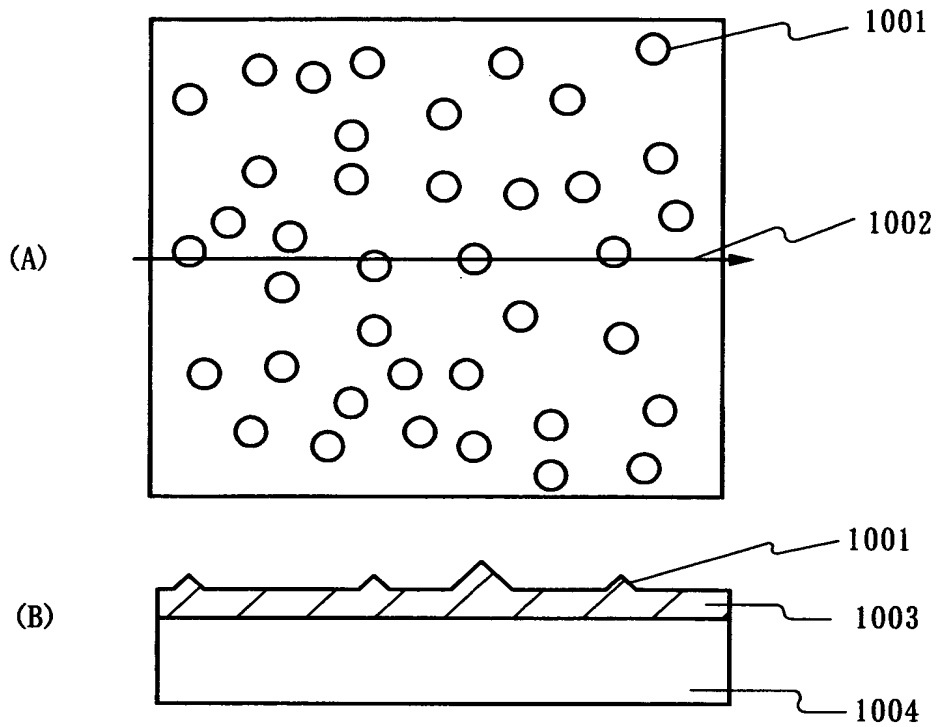
【図 2 2】 本発明を利用したELディスプレイパネル。

【図 2 3】 本発明を利用した各種情報機器。

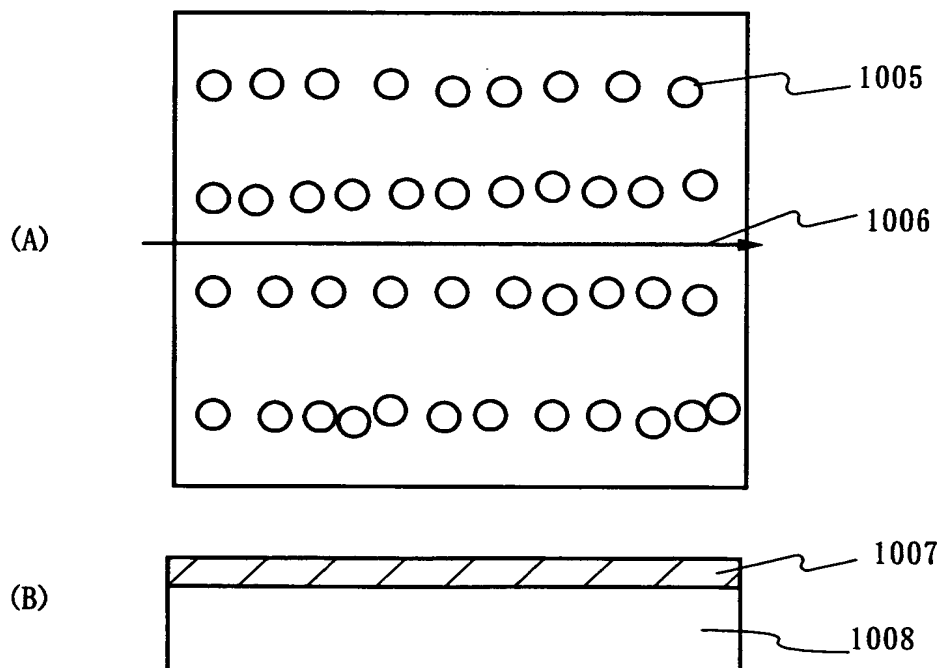
【図 2 4】 本発明を利用した表示装置。

【書類名】 図面

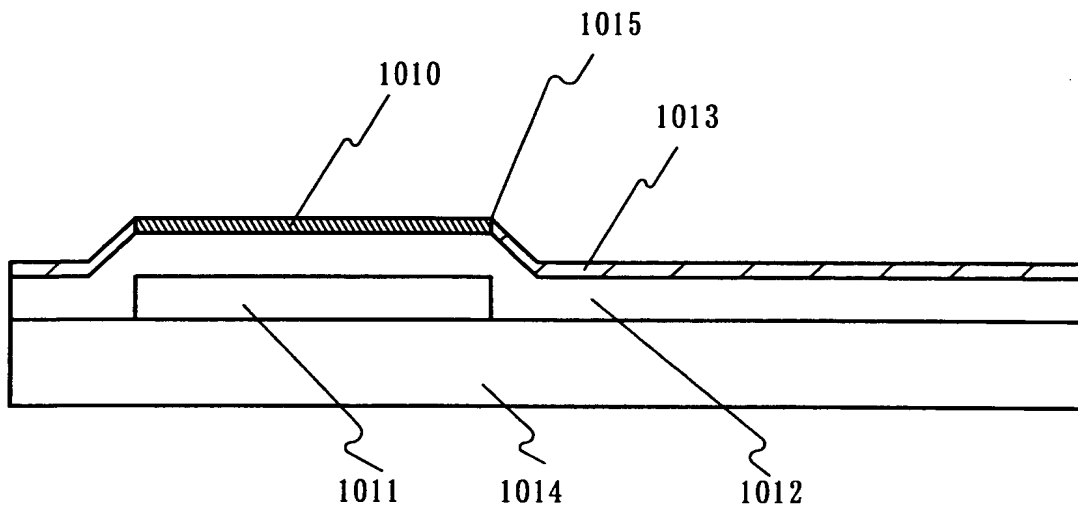
【図 1】



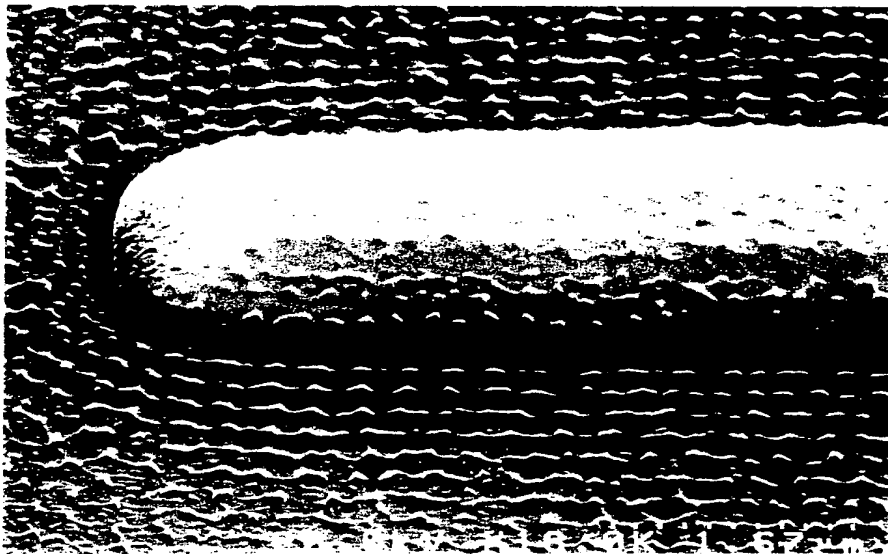
【図 2】



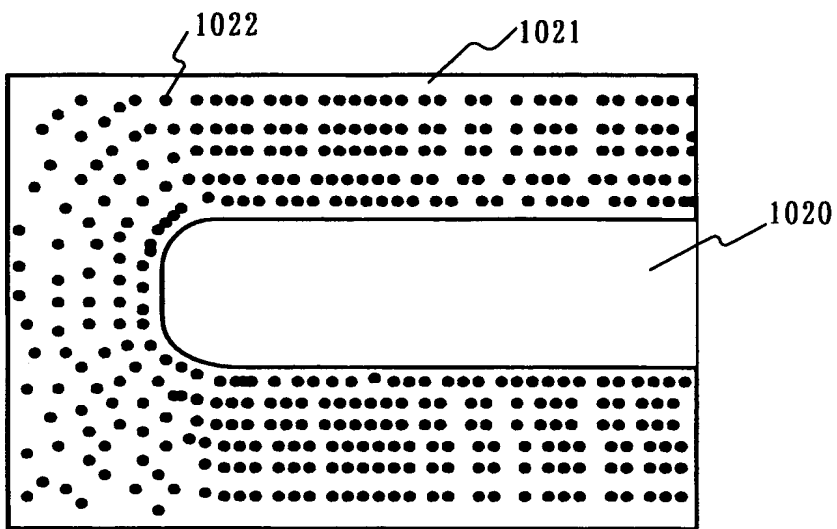
【図3】



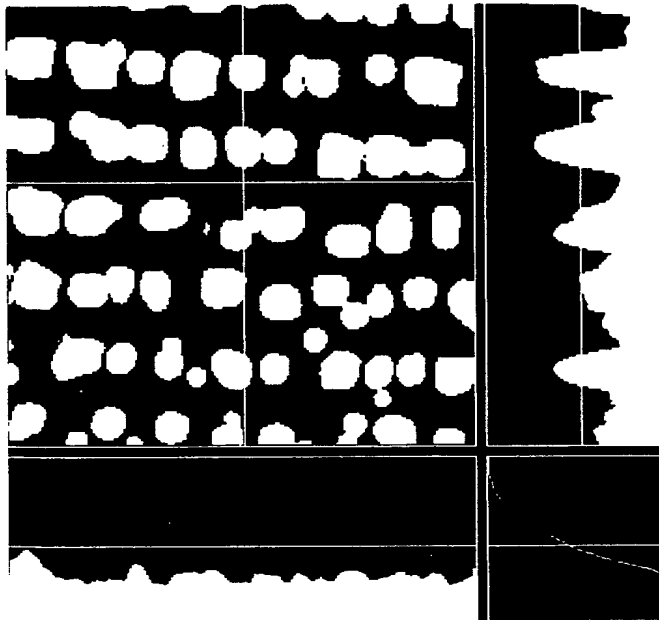
【図4】



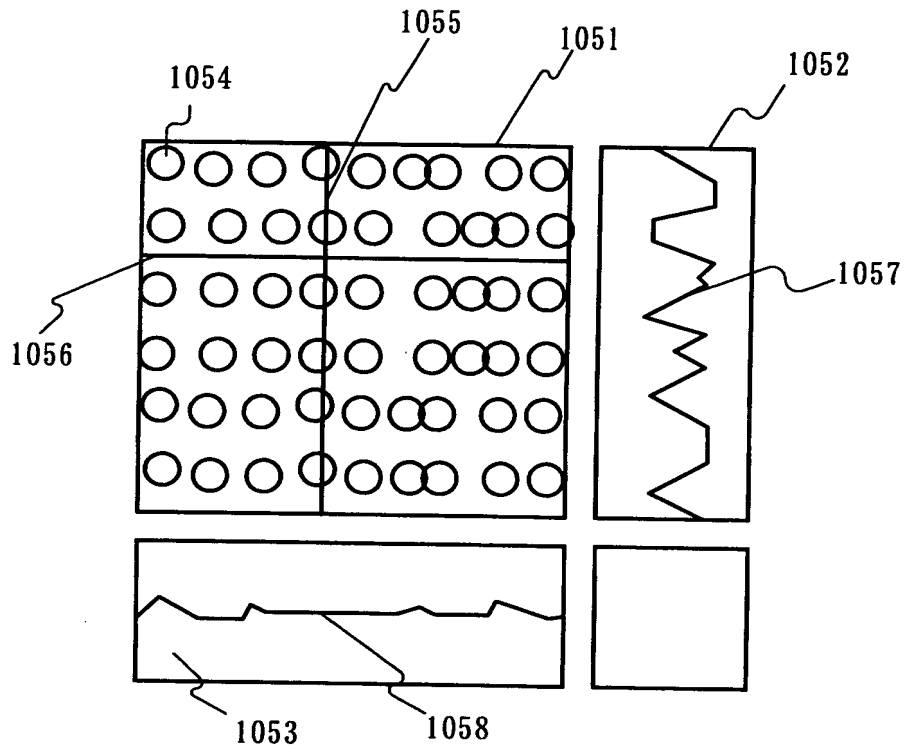
【図 5】



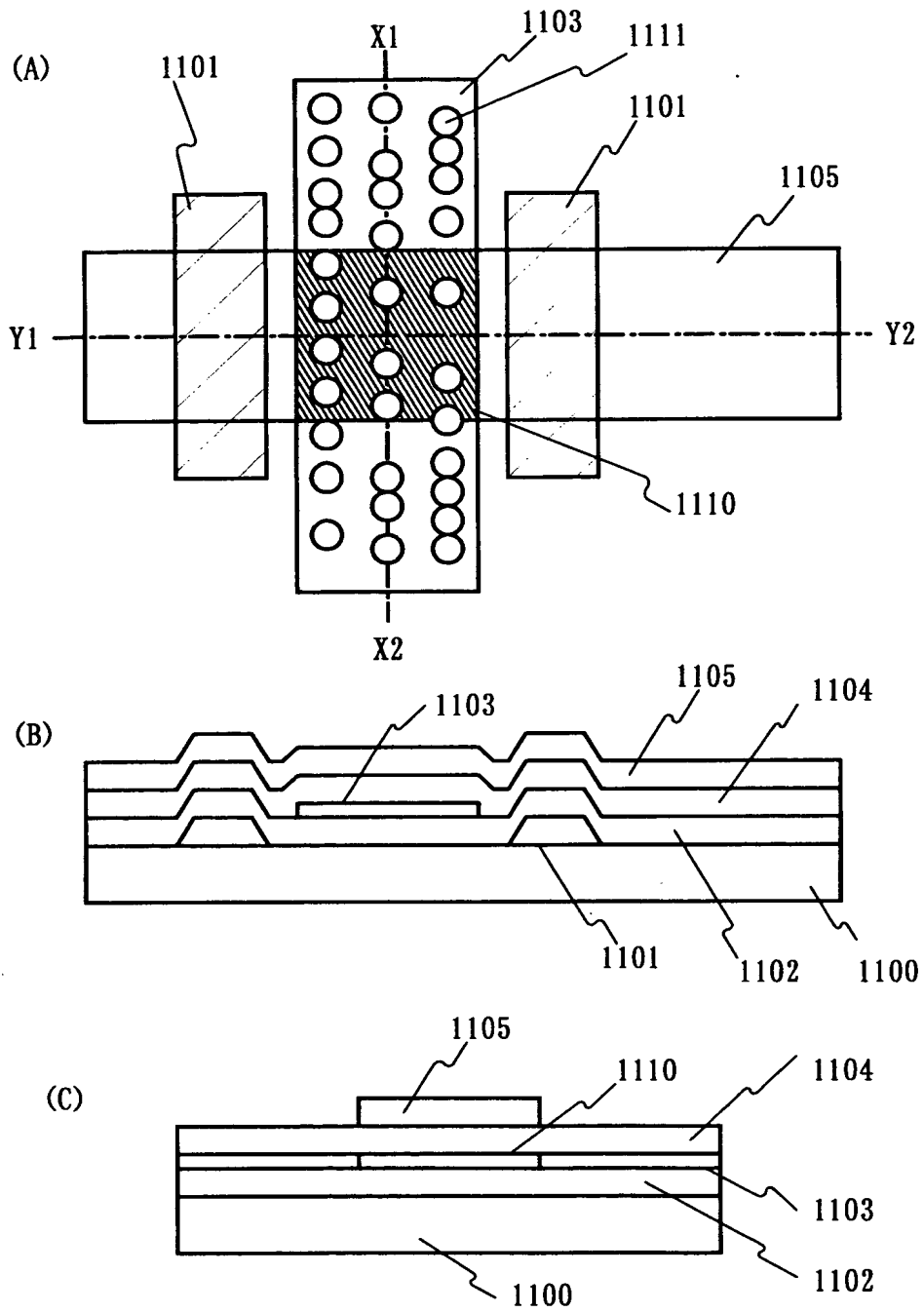
【図 6】



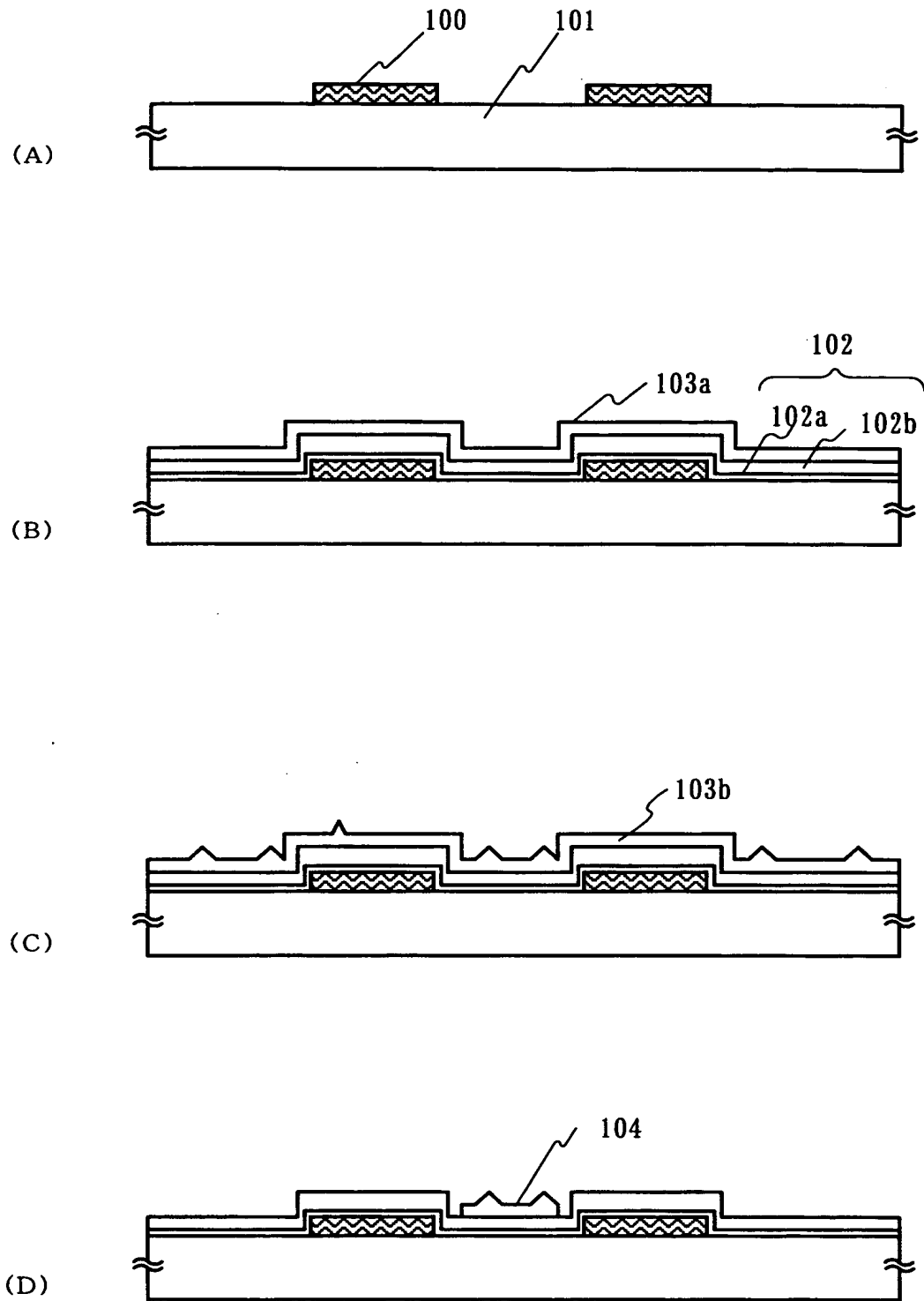
【図 7】



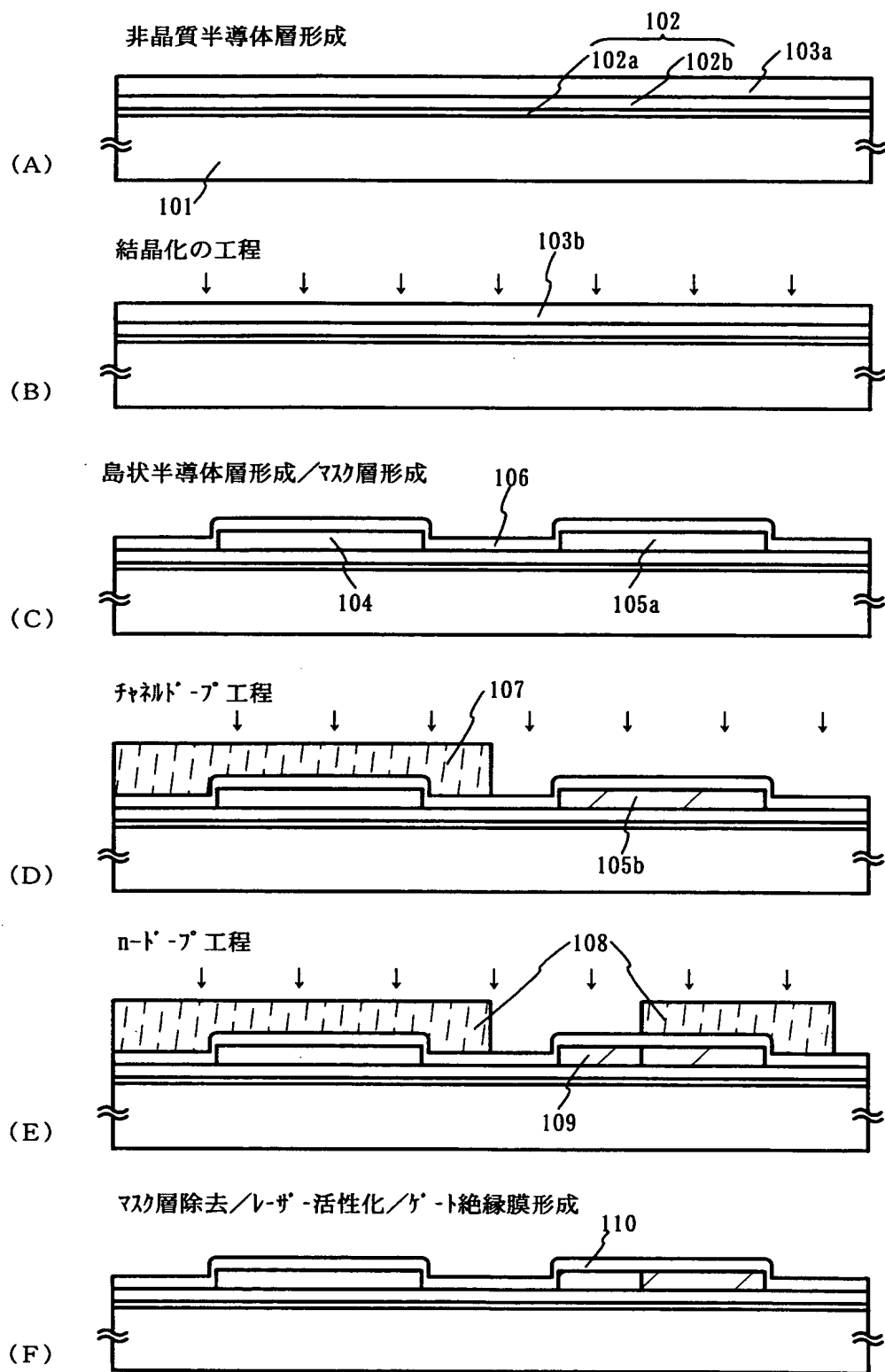
【図 8】



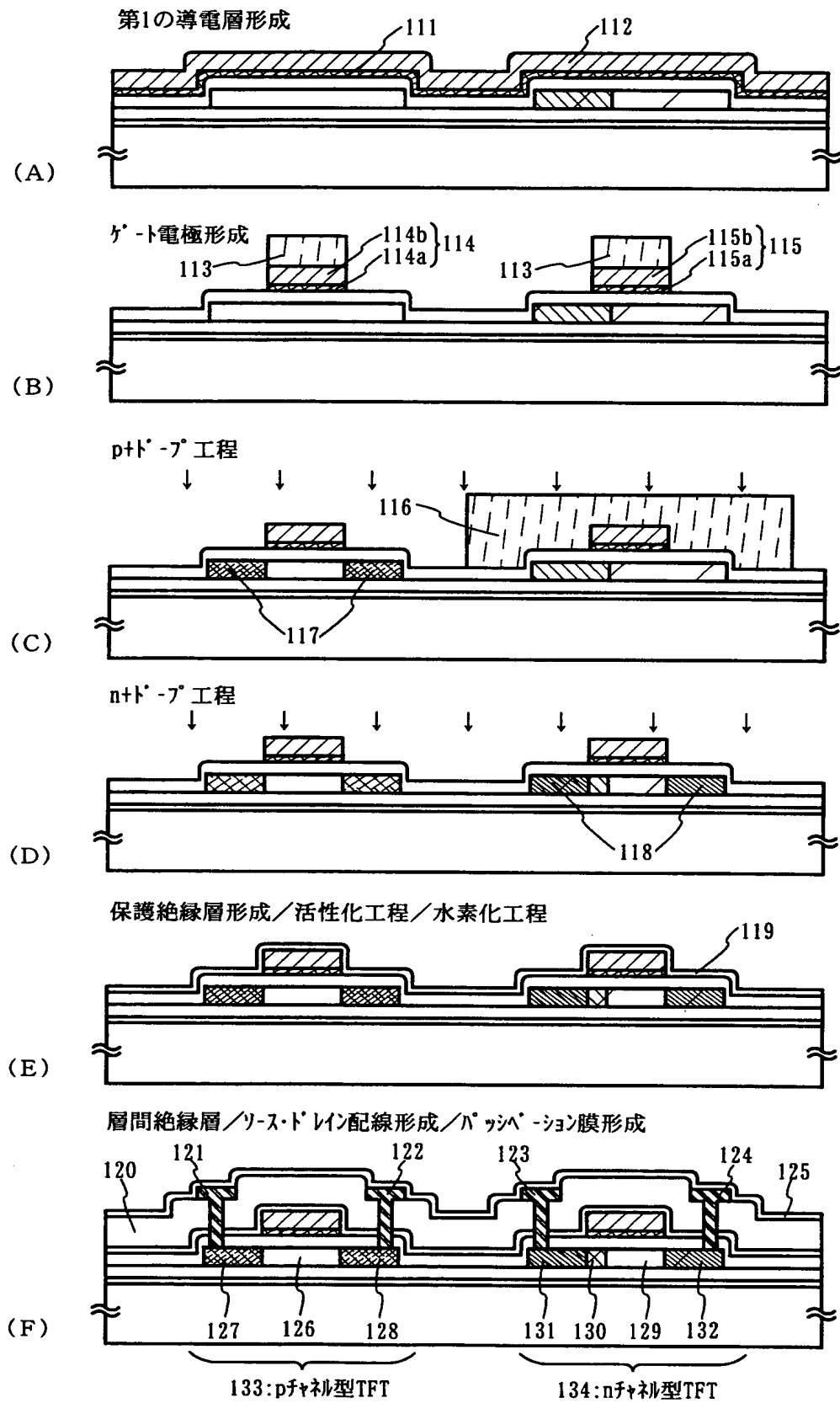
【図 9】



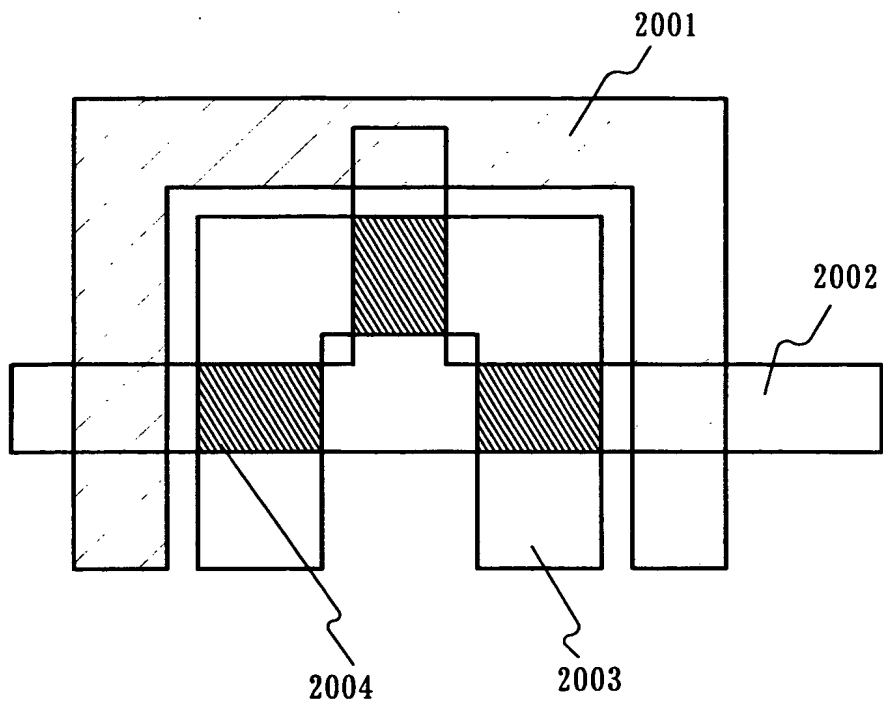
【図10】



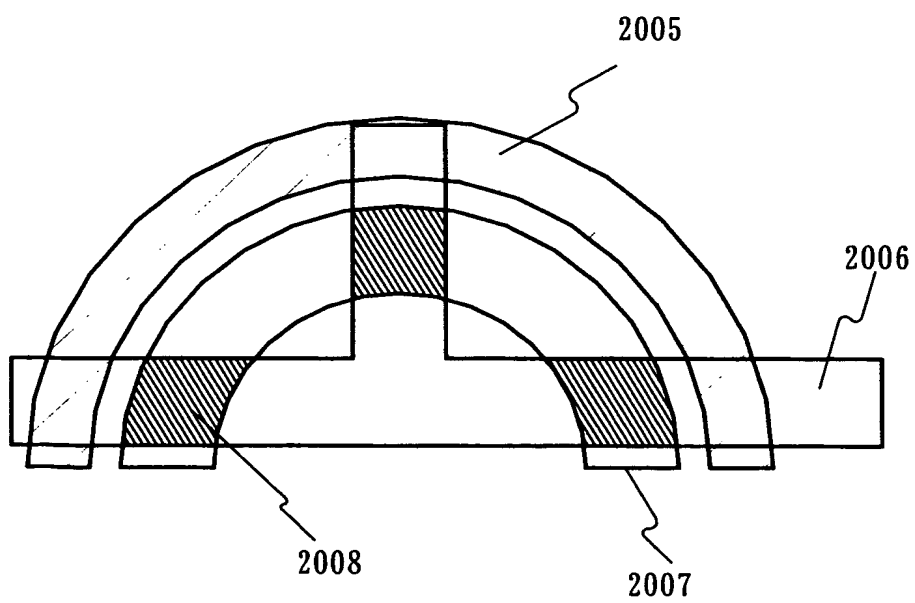
【図 11】



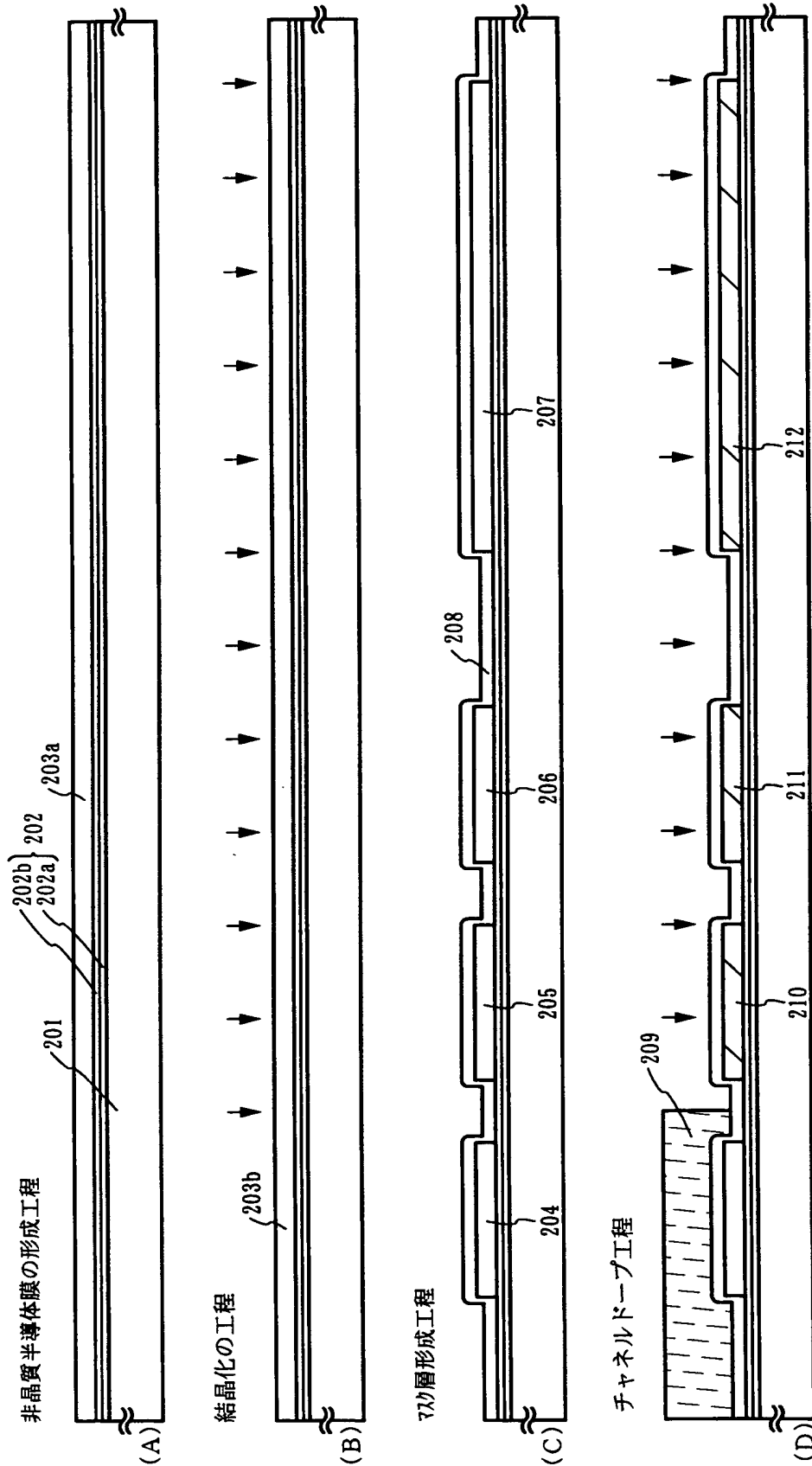
【図 12】



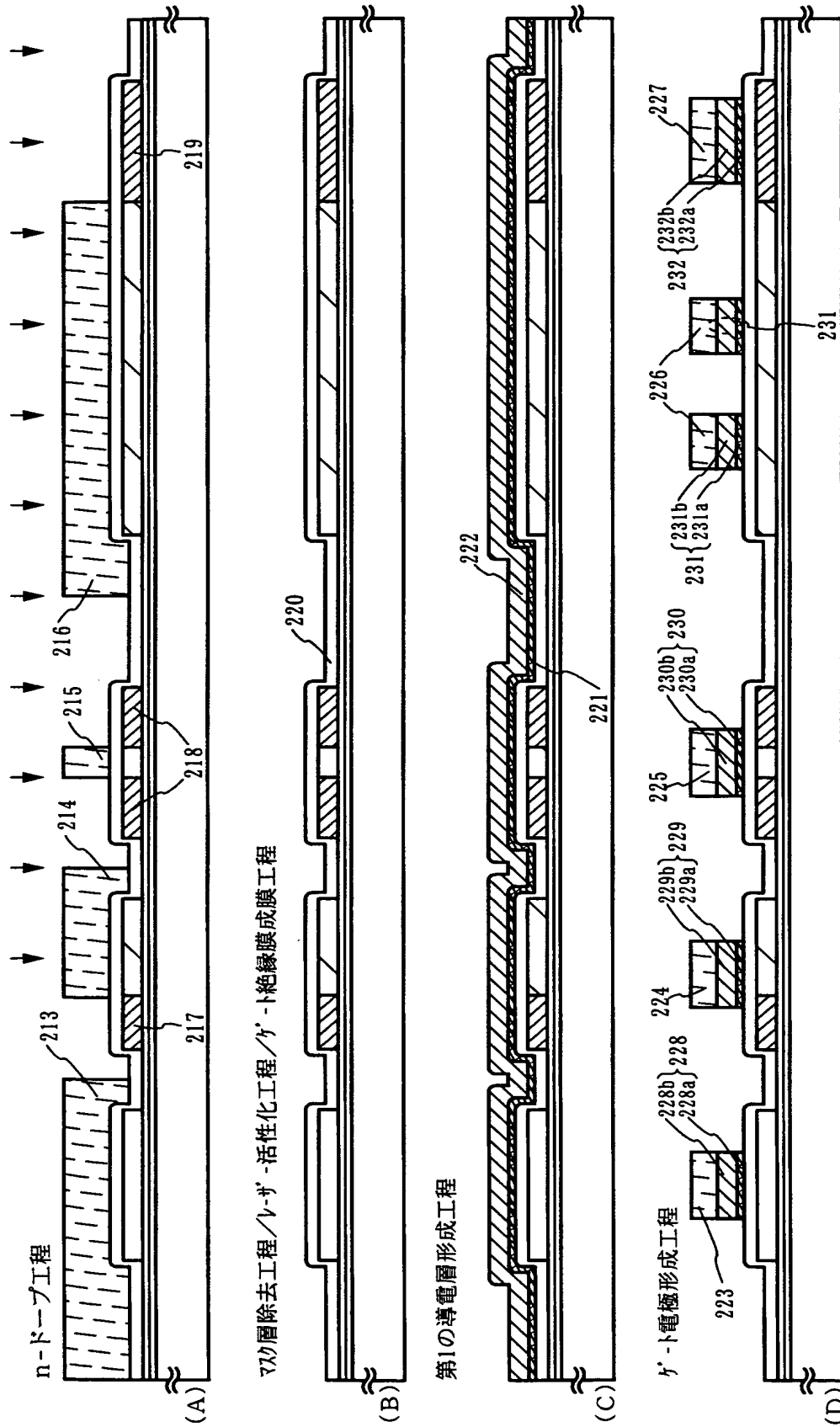
【図 13】



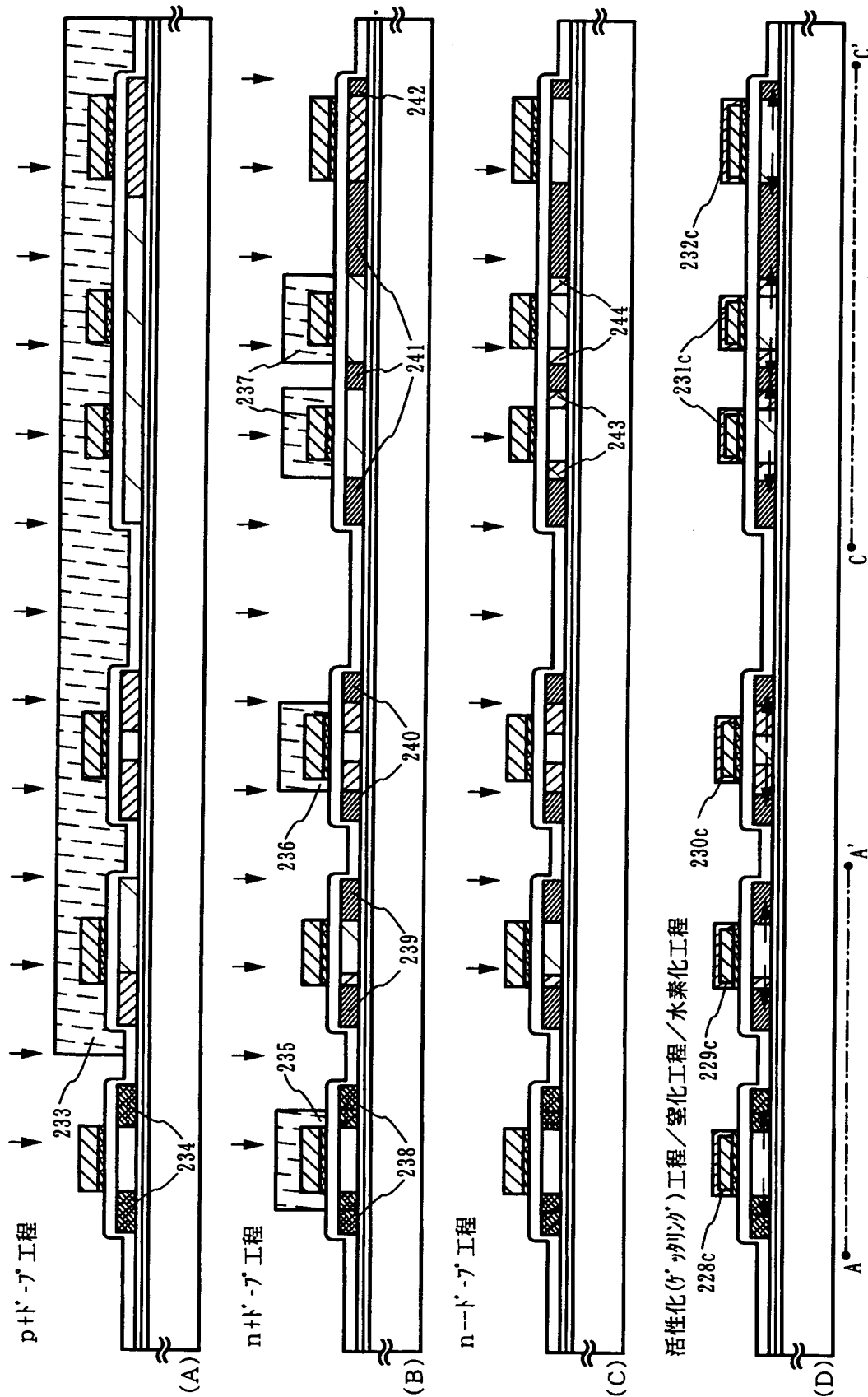
【図 14】



【図15】

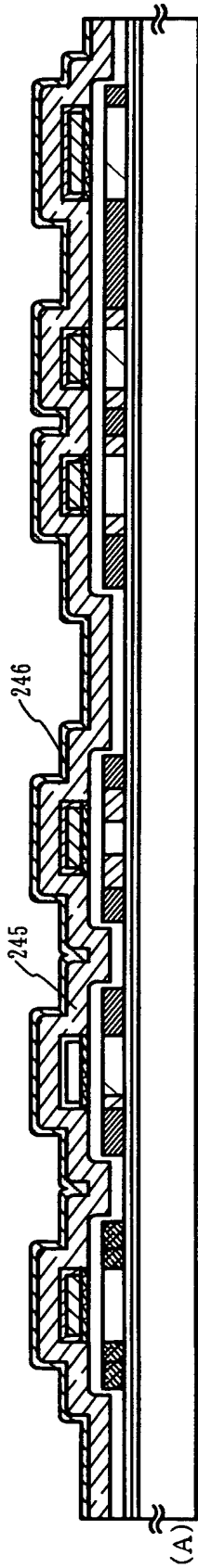


【図16】

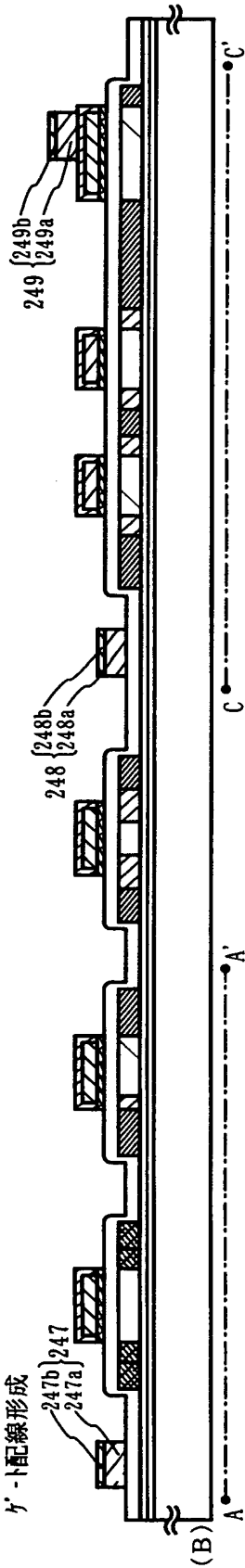


【図 17】

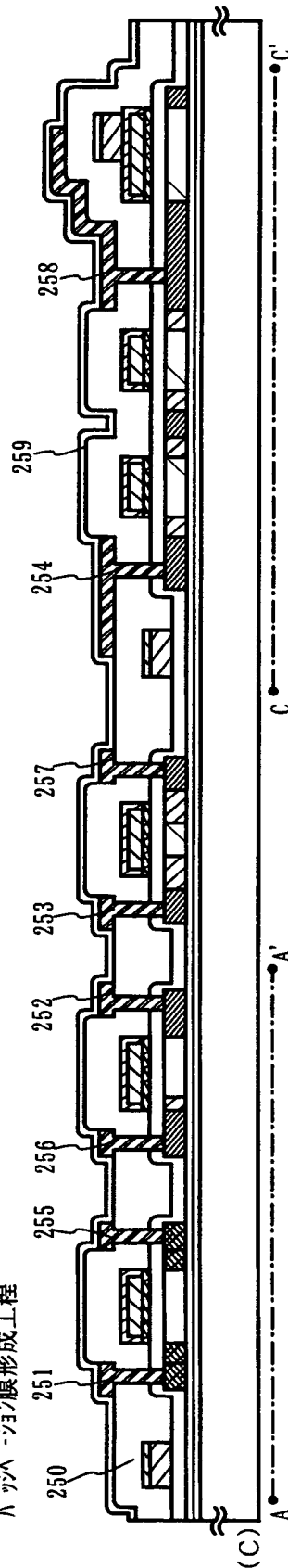
第2の導電層形成工程



γ-配線形成

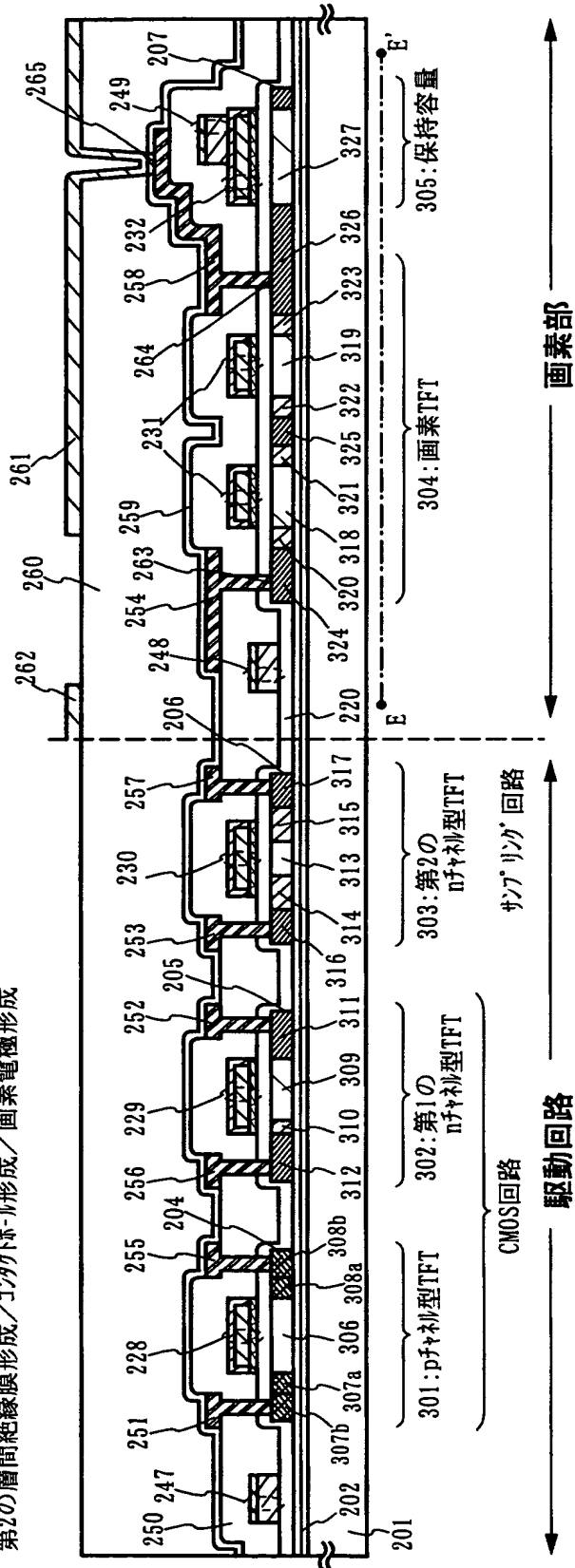


層間膜形成工程／コンタクトホール形成工程／配線形成工程
ハ、ゲージン膜形成工程

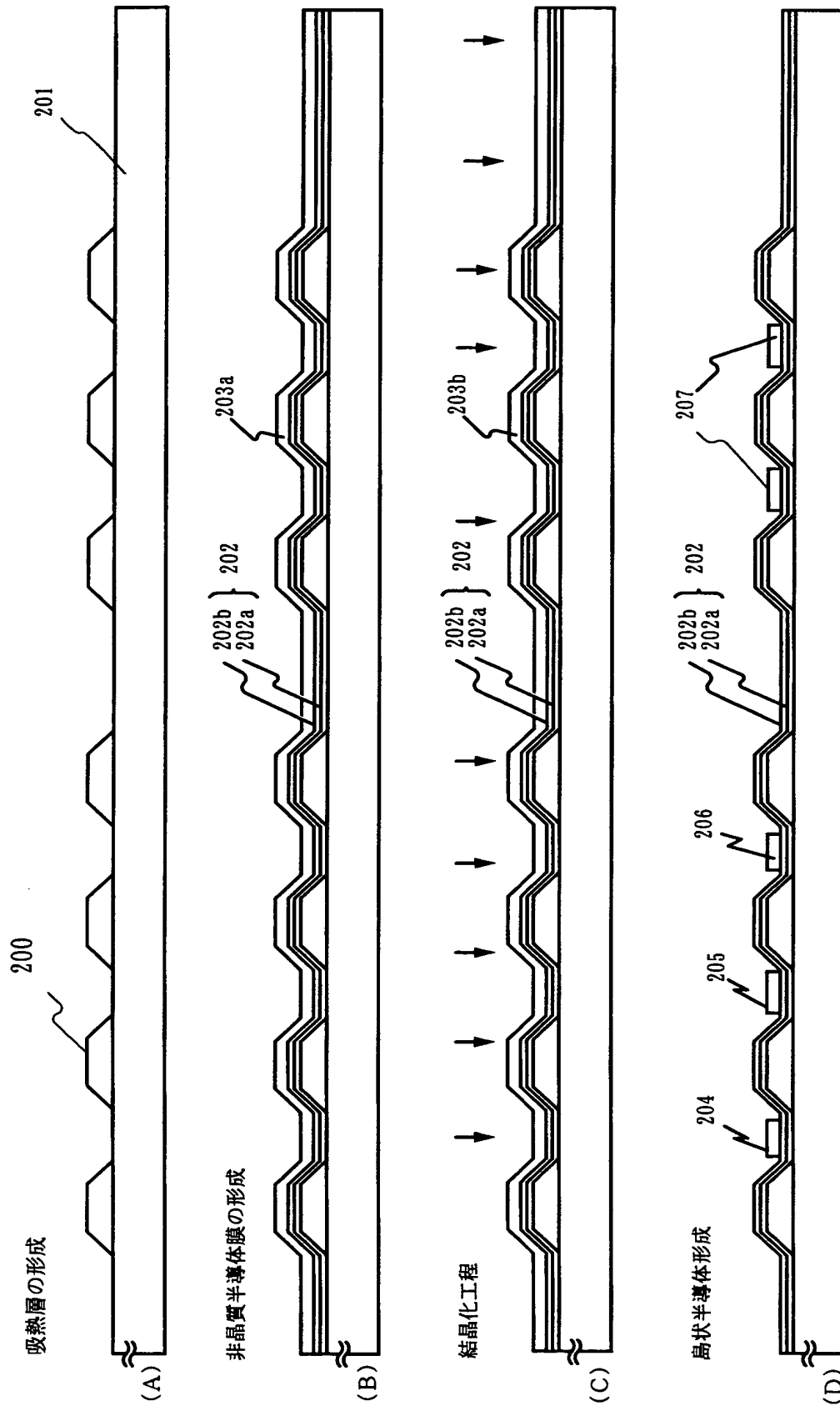


【図18】

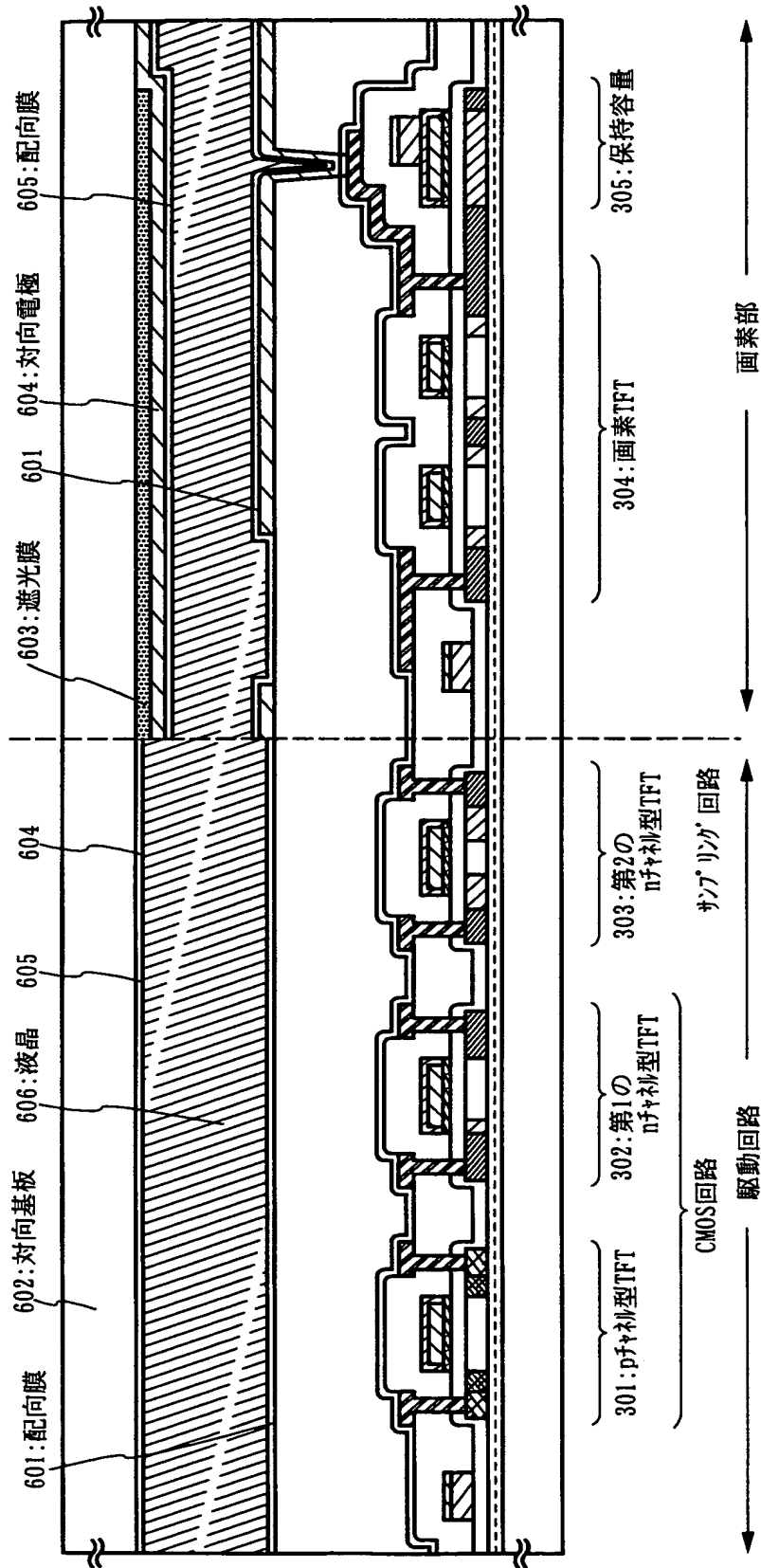
第2の層間絶縁膜形成／コンタクト形成／画素電極形成



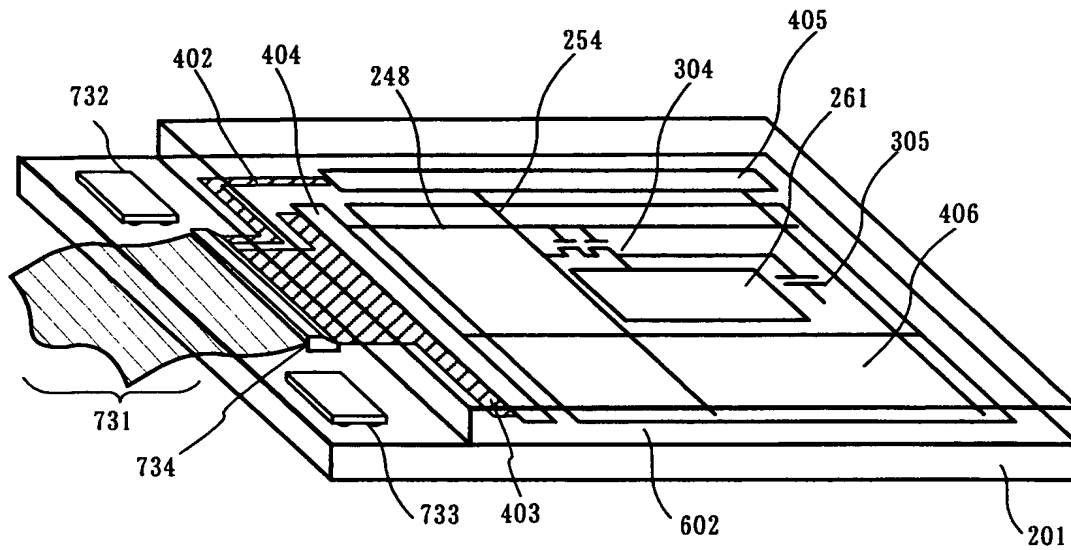
【図 1 9】



【図 20】

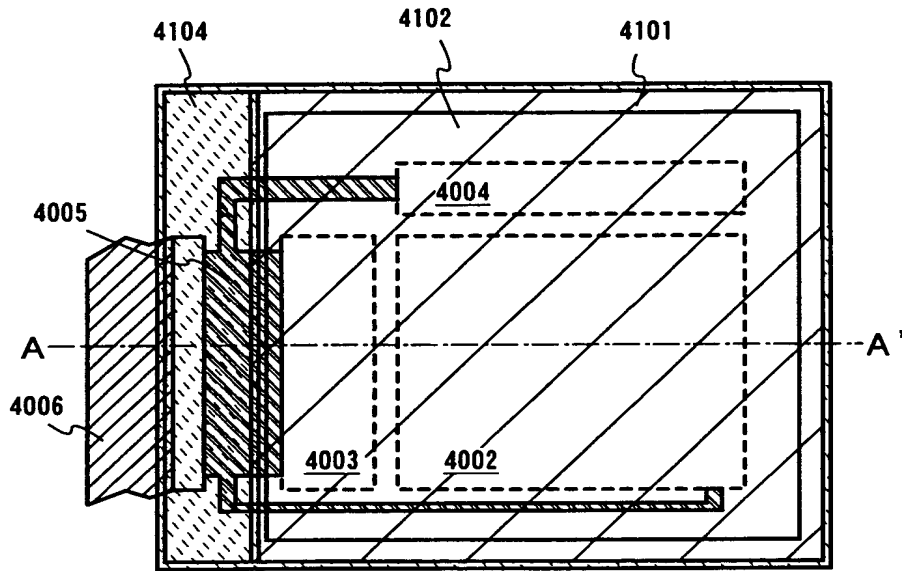


【図 2 1】

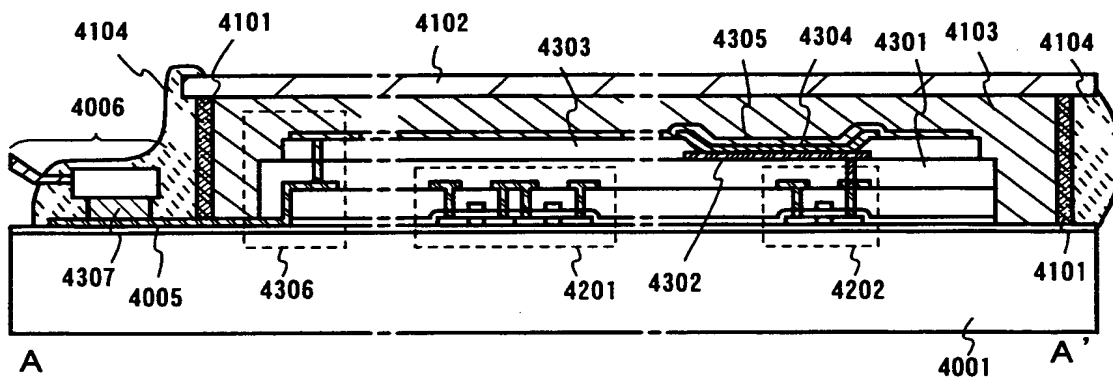


- 201 : 基板,
 406 : 画素部, 402, 403 : 入力配線
 404 : 走査信号駆動回路, 405 : 画像信号駆動回路
 731 : FPC, 732, 733 : ICチップ,
 734 : 外部入出力端子
 304 : 画素TFT
 248 : ゲート配線, 254 : ソース配線
 261 : 画素電極, 305 : 保持容量
 602 : 対向基板

【図 22】

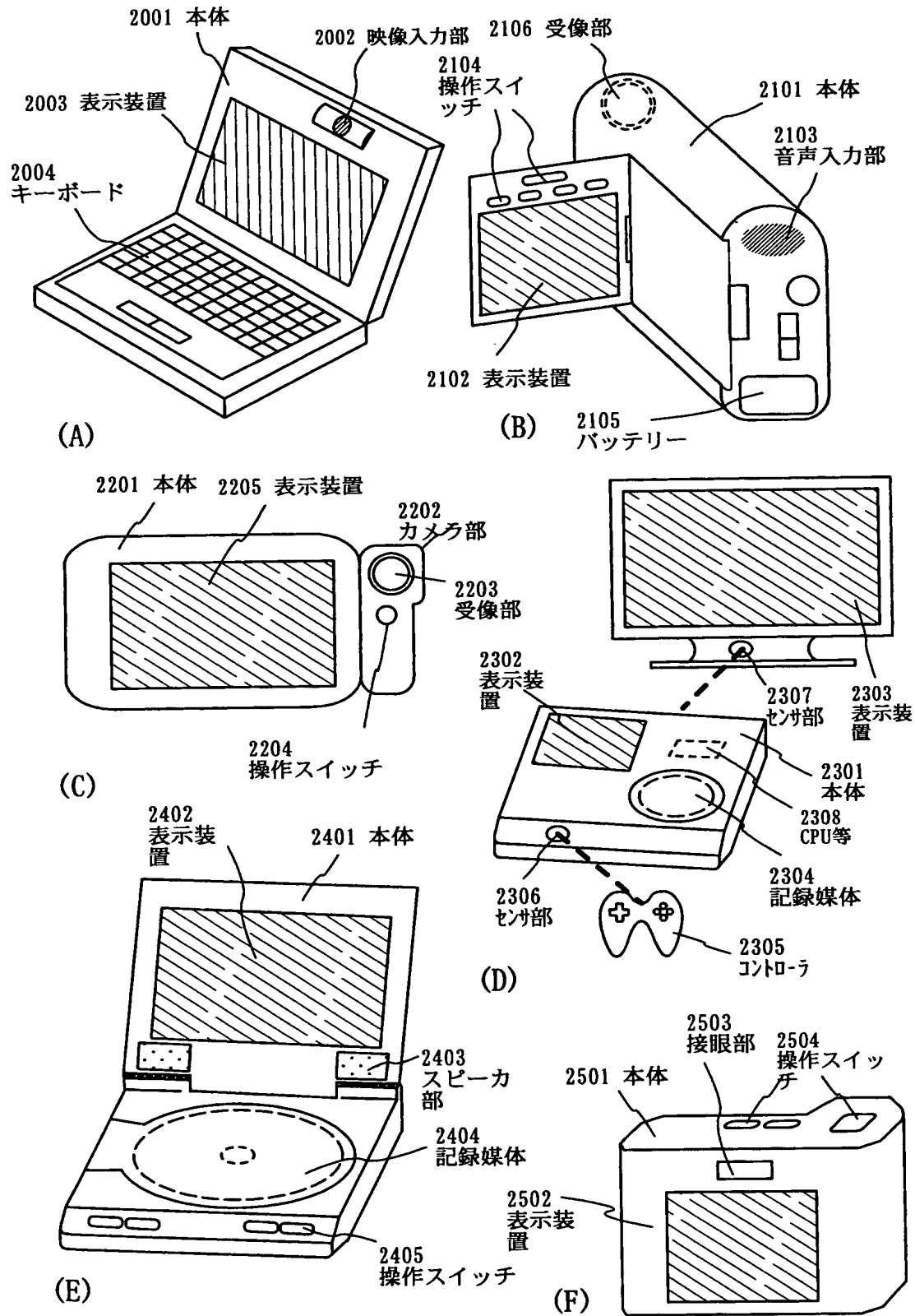


(A)

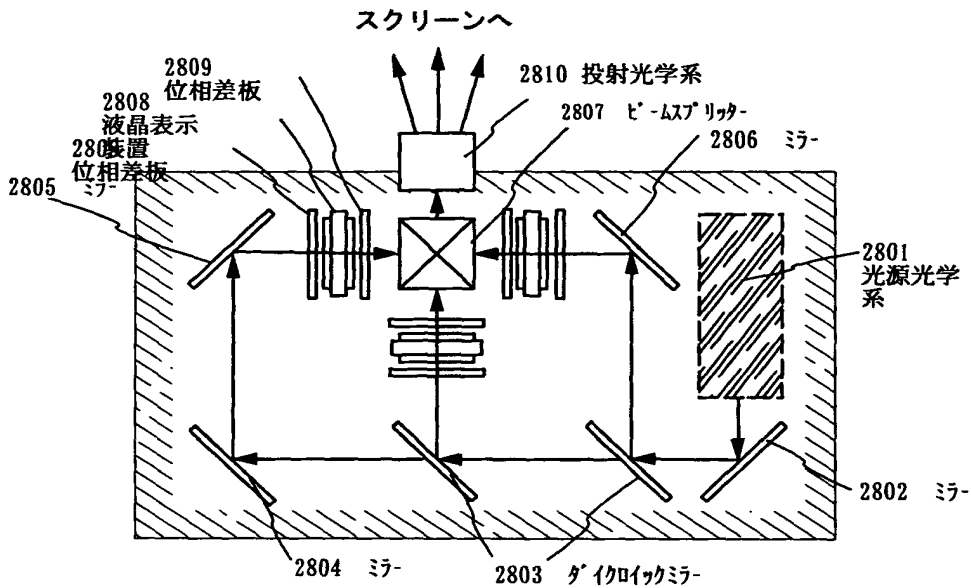
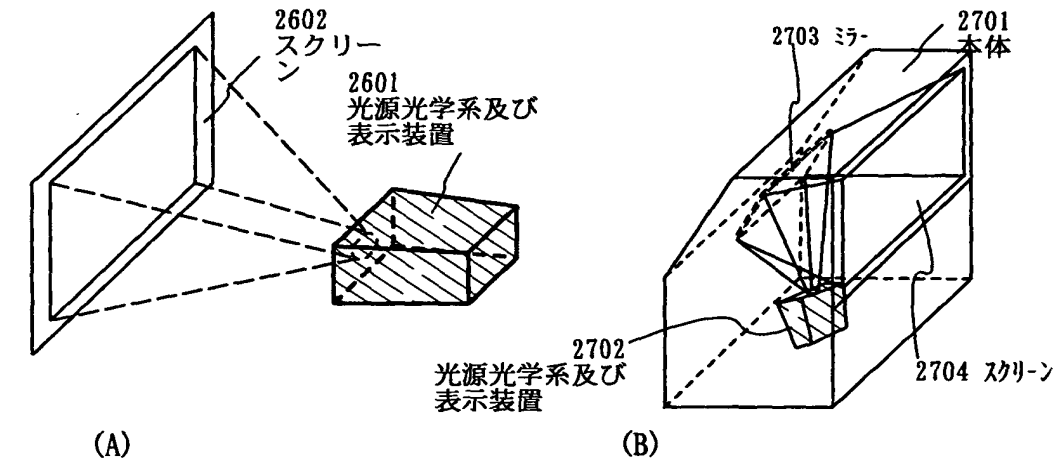


(B)

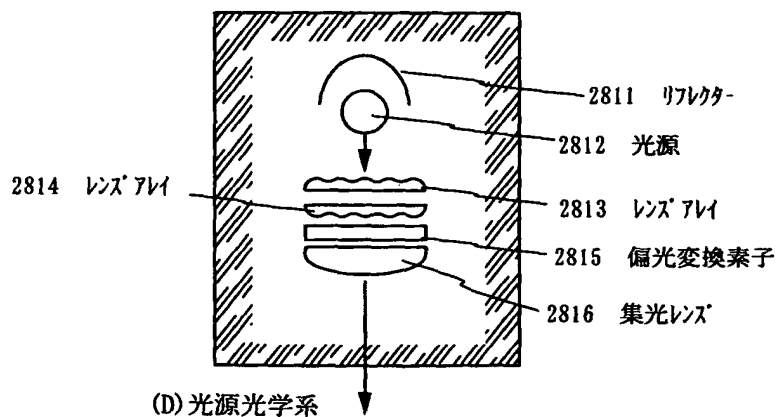
【図 23】



【図 24】



(C) 光源光学系及び表示装置 (三板式)



【書類名】 要約書

【要約】

【課題】 レーザー結晶化法で形成した結晶質半導体膜の表面にリッジとよばれる凸部がランダムに形成される。その凸部の配置を制御し電流に対する表面散乱の影響を低減する技術を提供することを課題とする。

【解決手段】 熱伝導率が、結晶質薄膜の下地膜を含む基板より大きな材料を吸熱層として、任意の形状で形成しておく。基板 1 0 1 4 上に形成された吸熱層 1 0 1 1 から下地膜 1 0 1 2 を介して上部に位置する半導体薄膜 1 0 1 0 とそれ以外の半導体薄膜 1 0 1 3 ではレーザーアニールした際に温度差が生じ、吸熱層の外端 1 0 1 5 を境に熱膨張の違いが生じる。熱膨張が異なることでその境界を始点に歪みが生じ、この歪みが表面波となって伝播し、前記吸熱層の近傍にその外周を起点とした表面波が形成される。熔融に引き続いて固化が起き、その際に表面波の凸部が固化後に凸部として残存する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷 3 9 8 番地

氏 名 株式会社半導体エネルギー研究所